

RTV KLUB MURSKA SOBOTA

DIGITALNI MOSTOVI

"HITRI PACKET RADIO"

Murska Sobota, september 2000

Packet-radio vozlišče SuperVozelj (2)

Matjaž Vidmar, S53MV

1. Uvod

Od uvajanja novega vozlišča SuperVozelj v naše packet omrežje sta minili že dobri dve leti. Prvi SuperVozelj smo postavili na Sveto Goro pri Novi Gorici že konec decembra 1992, večina načrtov pa je bila objavljena v CQ ZRS 1/93. Z izjemo nekaj še živečih "okamenin" predstavlja danes SuperVozelj osnovni omrežni računalnik, na katerega se je večina uporabnikov hote ali nehote že privadila...

Razvoj packet-radia s tem seveda ni končan in čas je že za naslednji korak naprej. Pred dvema leti smo vsi uporabniki omrežja delali s hitrostmi 1200bit/s ali 2400bit/s in že pri teh hitrostih smo še kako občutili počasnost tedanjega omrežja s TheNet vozlišči. 38400bit/s smo imeli doma le vzdrževalci omrežja in smo ga uporabljali le za poskuse, saj kaj več tedanje omrežje ni zmoglo.

Danes si je večina aktivnih paketašev, to je takšnih, ki vsak dan redno "visijo" na packetu, izdelala vsaj enostavno širokopasovno postajo za 70cm in pride do svojega vozlišča s hitrostjo 19200, 38400 ali 76800bit/s. Naprej gre seveda dosti počasneje, saj ni omrežna hitrost prav nič večja, zmogljivost kanala pa se deli med veliko število uporabnikov.

Čeprav tudi SuperVozelj ni narejen za večno in ga bo treba nekega dne zamenjati z zmogljivejšo napravo, je naslednji korak še vedno v mejah zmogljivosti sedanjih naprav. Za višje hitrosti potrebuje SuperVozelj DMA vmesnik, da se mikroprocesor MC 68010 osvobodi zamudnega in enoličnega prekladanja podatkov med glavnim pomnilnikom in zaporednimi vmesniki.

Takšen vmesnik je bil načrtovan v vozlišču SuperVozelj že od vsega začetka. Obljuba torej dela dolg in v tem članku objavljam prvo izvedbo takšnega vmesnika, dvokanalno DMA-SCC ploščico z vezjem MC68450, ki jo z malenkostnimi predelavami enostavno vtaknemo v vodilo obstoječega računalnika SuperVozelj vozlišča. Bodoče izvedbe naj bi uporabljale še zmogljivejše DMA vmesnike, na primer z vezjem MC68302, hkrati pa bo treba raz-

misлити tudi o zamenjavi mikroprocesorja MC68010 z zmogljivejšim MC68020.

Opisani vmesnik trenutno preizkušam pri hitrosti 1.2288Mbit/s z dvema PSK radijskima postajama na frekvenčnem področju 13cm. 1.2288 Mbit/s sicer ni zgornja meja za opisani vmesnik, je pa smiselna izbira ob upoštevanju sedanjih hitrosti uporabniške opreme in zmogljivosti vozlišč. Na prvi pogled čudna številka 1.2288Mbit/s ni pravzaprav nič drugega kot natančen 32-kratnik hitrosti 38.4kbit/s in jo zato zlahka dobimo s standardnimi "baud-rate" računalniškimi kristali.

Ustrezna programska oprema je zaenkrat SuperVozelj V70, v bistvu naslednik SVV68 z nekaj odpravljenimi napakami in z dodatki za krmiljenje DMA-SCC vmesnika za visoke hitrosti. SVV70 je 8-kanalno vozlišče, starim 6 kanalom na prekinitvah se dodajata še dva nova kanala na DMA vmesniku. Tudi razvoj programske opreme seveda niti zdaleč ni končan.

V tem članku bom opisal tri nove oziroma popravljene sestavne dele vozlišča SuperVozelj: popravljeno CPU ploščico (za delovanje z DMA vezjem), DMA-SCC ploščico, to je novi dvokanalni hitri zaporedni vmesnik za SuperVozelj in 1.2288 Mbit/s bitno sinhronizacijo s skrambliranjem podatkov, to je enoto, ki smo jo pri nižjih hitrostih običajno imenovali modem. O radijskih postajah zaenkrat še nič. Načrte le teh bom objavil šele po temeljitih preizkusih. Računalniška oprema vključno z bitno sinhronizacijo je sicer tako načrtovana, da dopušča uporabo skoraj vseh vrst PSK in FM radijskih postaj.

2. Popravljena CPU ploščica

Vozlišče SuperVozelj je načrtovano na osnovi DSP računalnika, ki sem ga najprej objavil v UKW-Berichte (VHF-Communications) in potem še v našem glasilu CQ ZRS. Uporabljeni sestavni deli DSP računalnika so bili opisani v številkah 1/91, 2/91, 3/91 in 1/92. Po razpadu Iskre Delte je prišla v roke radioamaterjev večja količina mikroprocesorjev MC68010 in sicer

zelo dragem PGA ohišju in za te nove sestavne dele je Mijo S51KQ narisal novo CPU ploščico, objavljeno v številki 1/93 našega glasila.

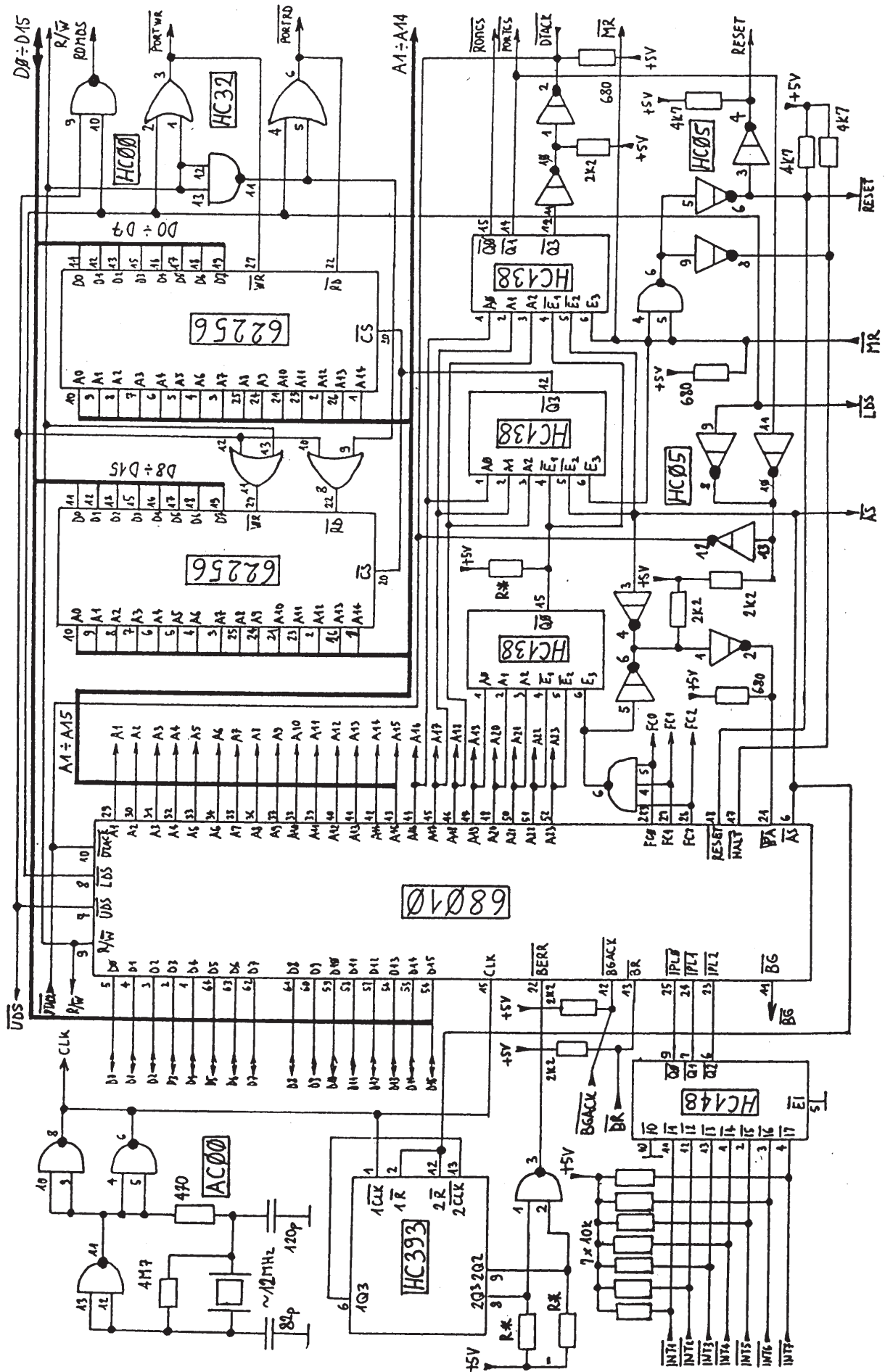
Izvirna CPU ploščica DSP računalnika (opisana v 2/91) je sicer uporabljala bolj pogosto in cenejšo DIL izvedbo MC68010. Ker ima integrirano vezje MC68010 kar 64 priključkov, zamenjava DIL, PGA oziroma drugih vrst ohišij med sabo ni prav nič enostavna. Izvirna CPU ploščica tudi ni pripeljala na vodilo DSP računalnika treh signalov, potrebnih za delovanje DMA vmesnikov, in sicer BR, BG in BGACK.

DMA je kratica za Direct Memory Access. DMA vezje uporabljamo tako, da ga najprej sprogramiramo s pomočjo mikroprocesorja. Nato DMA vezje prevzame vodilo mikroročunalnika in za prenos podatkov DMA vezje samo naslavlja pomnilnik in vhodno/izhodne enote, da za prenos podatkov ne potrebuje več pomoči mikroprocesorja. Prenose DMA vezja proži običajno vhodno/izhodna enota preko ustreznih REQ (REQuest) vodov.

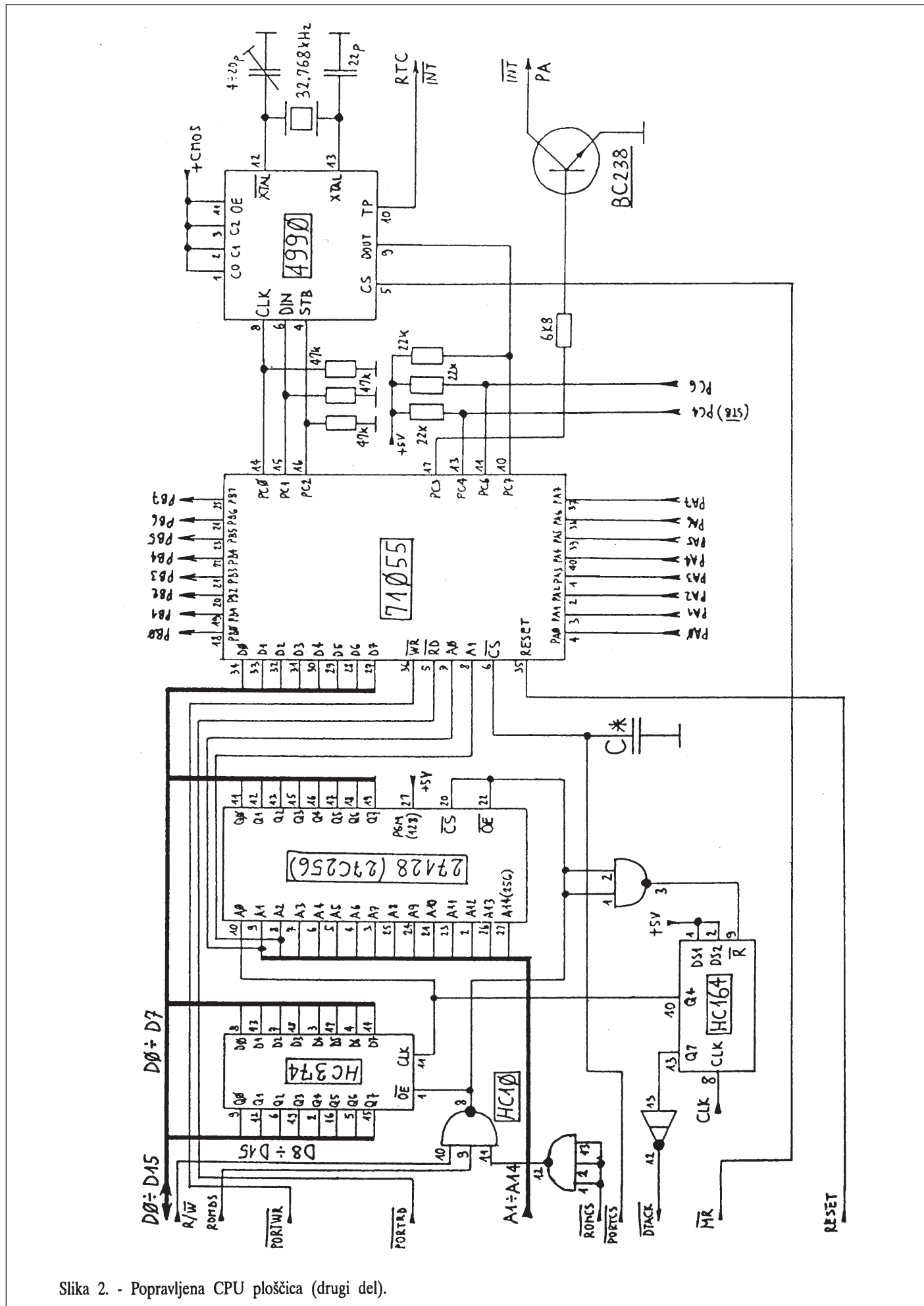
Smisel uporabe DMA vezja je naslednji: ob zahtevi vhodno/izhodne enote DMA vezje za trenutek zaustavi delovanje mikroprocesorja, prevzame vodilo, opravi prenos in ponovno sprosti mikroročunalnik. Pri tem se v notranjosti mikroprocesorja ne zgodi prav nič, vrednosti vseh registrov ostanejo nespremenjene. DMA prenos je zato izredno hiter in potrebuje za vsak podatek le en ali dva dostopa do pomnilnika oziroma vhodno/izhodnih enot.

Če bi isto nalogo opravljal prekinitveni podprogram, bi moral mikroprocesor najprej shraniti vrednosti vseh svojih notranjih registrov, nato izvesti prekinitveni podprogram in končno obnoviti svoje prejšnje notranje stanje. Skupno je za to potrebno nekaj sto dostopov do pomnilnika in še nekaj dostopov do vhodno/izhodnih enot. Izvajanje prekinitvenega podprograma je zato običajno več kot 100-krat počasnejše od DMA prenosa podatkov.

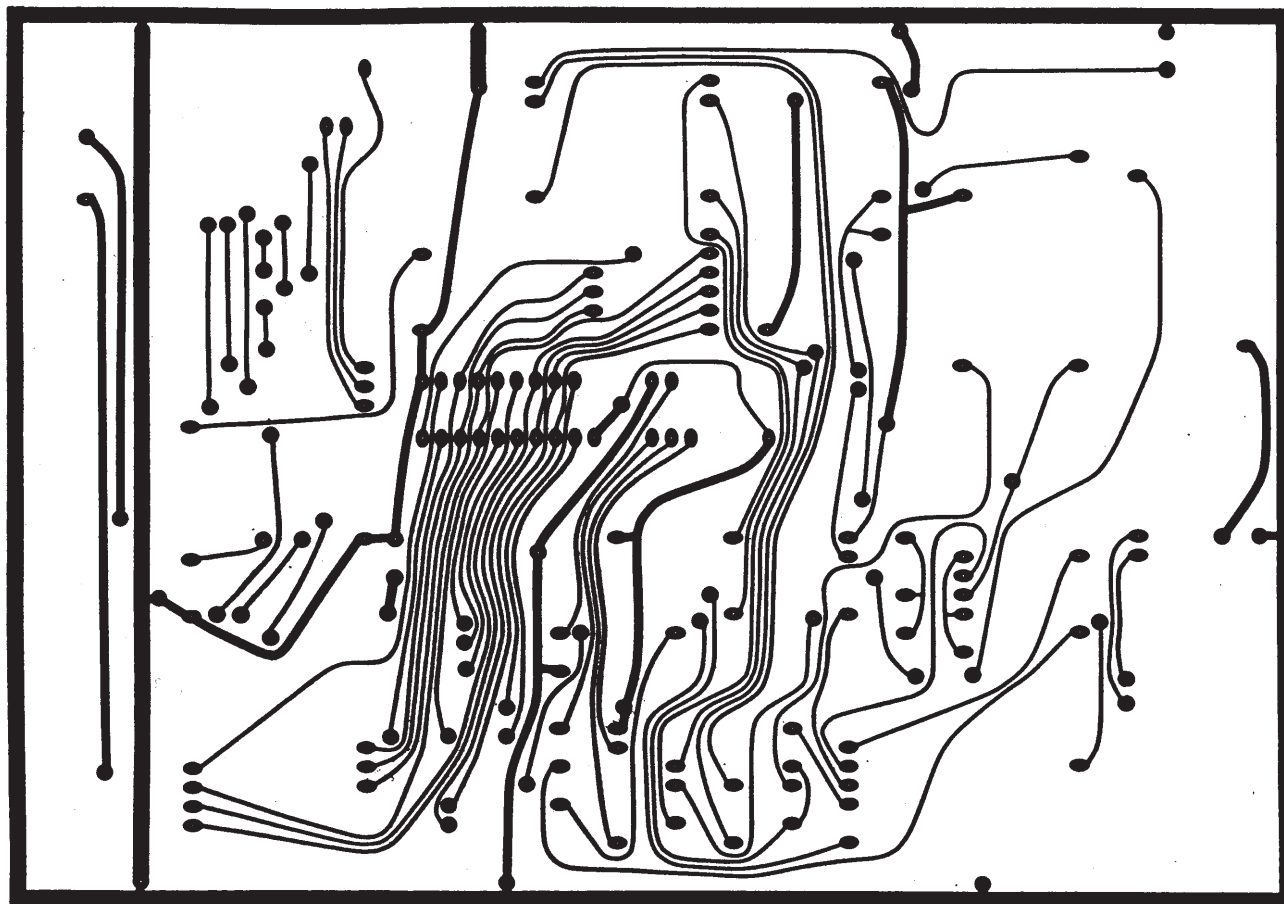
Mikroprocesorji družine Motorola 68k se z izjemo MC68008 pogovarjajo z DMA vmesniki preko treh električnih signalov. S signalom BR (Bus Request) sporoči DMA vmesnik



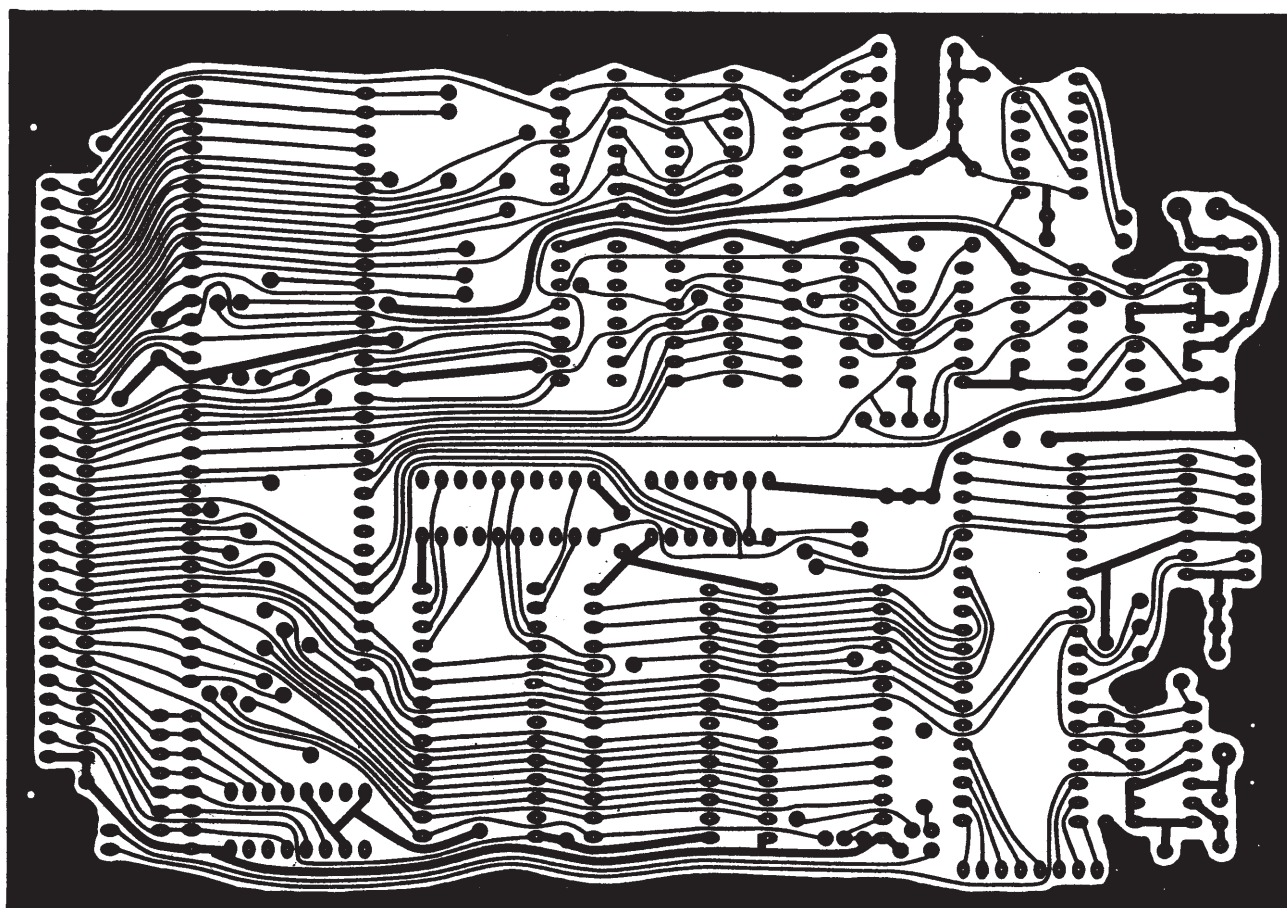
Slika 1. - Popravljena CPU ploščica (prvi del).



Slika 2. - Popravljen CPU ploščica (drugi del).



Slika 3. - Gornja stran dvostranske popravljene CPU ploščice.



Slika 4. - Spodnja stran dvostranske popravljene CPU ploščice.

mikroprocesorju, da čimprej želi uporabljati vodilo mikroročunalnika. Mikroprocesor se na BR zahtevo odzove s signalom BG (Bus Grant), seveda šele potem, ko je uspešno zaključil svoj lastni cikel uporabe vodila. Na signal BG se DMA vmesnik odzove z BGACK (Bus Grant ACKnowledge). BGACK ostane aktiven za celoten čas, ko DMA uporablja vodilo. Ko DMA končno sprostí BGACK, mikroprocesor ponovno prevzame uporabo vodila.

Na izvorni CPU ploščici sta vhoda BR in BGACK enostavno povezana na neaktivni logični nivo (+5V napajanje), izhod BG pa je nepovezan. Mijo S51KQ je na svoji CPU ploščici izločil neuporabljena signala CLK in HALT ter ju zamenjal z BG in BGACK, signal VPA pa le po potrebi zamenjamo z BR s prevezavo mostička pod podnožjem PGA MC68010. Pri običajni uporabi CPU ploščice, brez DMA vezja, držita vhoda BR in BGACK na neaktivnem logičnem nivoju dva upora po 2.2kohm.

Pri uporabi PGA CPU ploščice z DMA vezjem je treba zato prevezati mostiček pod podnožjem MC68010. Pri izvorni DIL CPU ploščici pa je

treba prevezati vse tri signale na kontaktih 14C (BGACK), 15C (BG) in 18C (BR) vodila mikroročunalnika ter dodati dva upora po 2.2kohm. Električno vezje popravljene CPU ploščice je prikazano na Slikah 1. in 2.

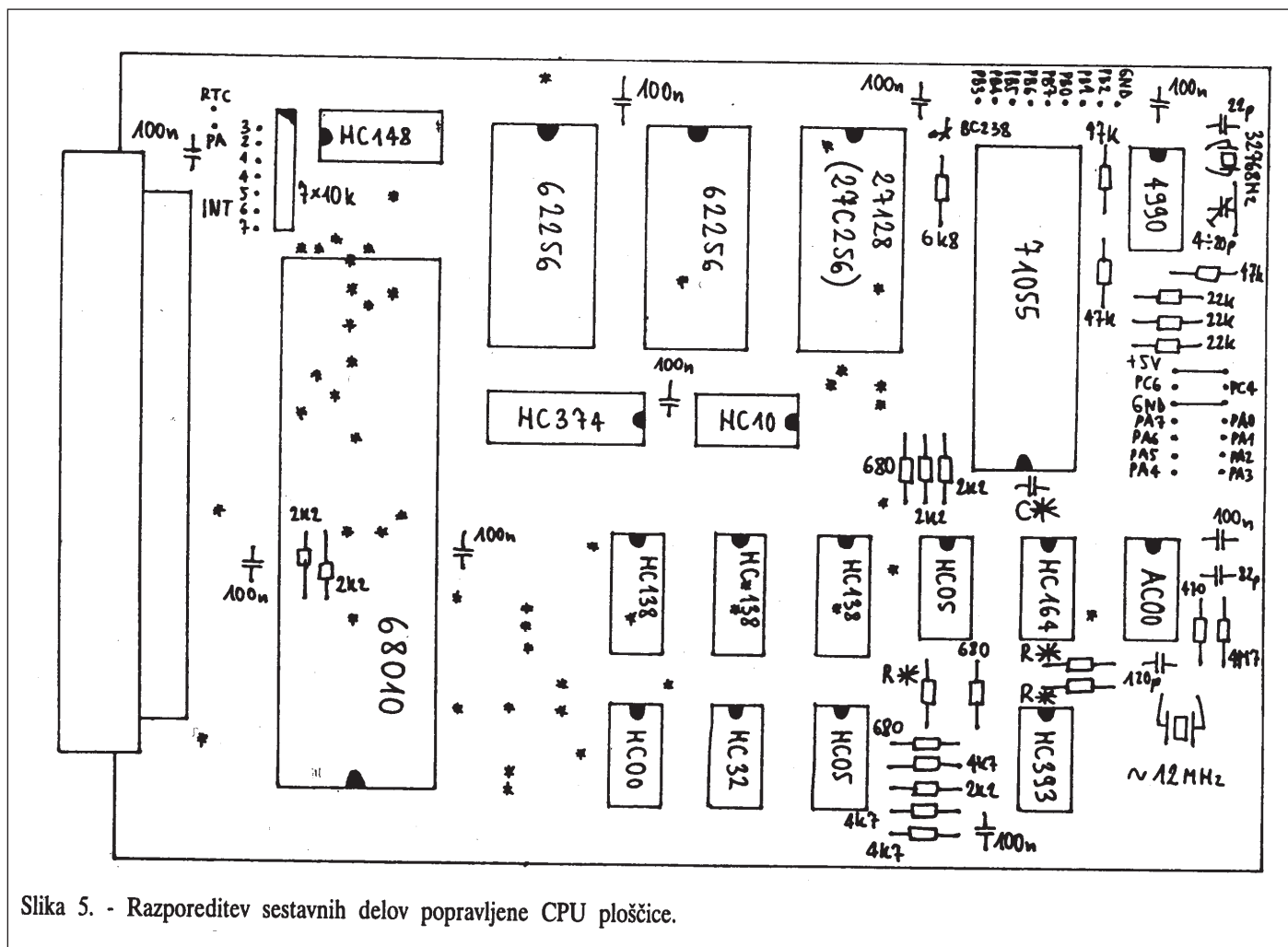
Ker je izvor cenениh PGA MC68010 presahnil in so novi mikroprocesorji v tem ohišju izredno dragi, sem se odločil, da popravim tudi izvirne tiskanine za DIL MC68010. Pri povezavi novih signalov BR, BG in BGACK sem se držal iste razporeditve kot pri Mijotovi PGA CPU ploščici, le VPA signal sem takoj povsem izločil, saj ga od vseh sestavnih delov DSP računalnika potrebuje edino pekač EPROMov in še ta se da prevezati na DTACK.

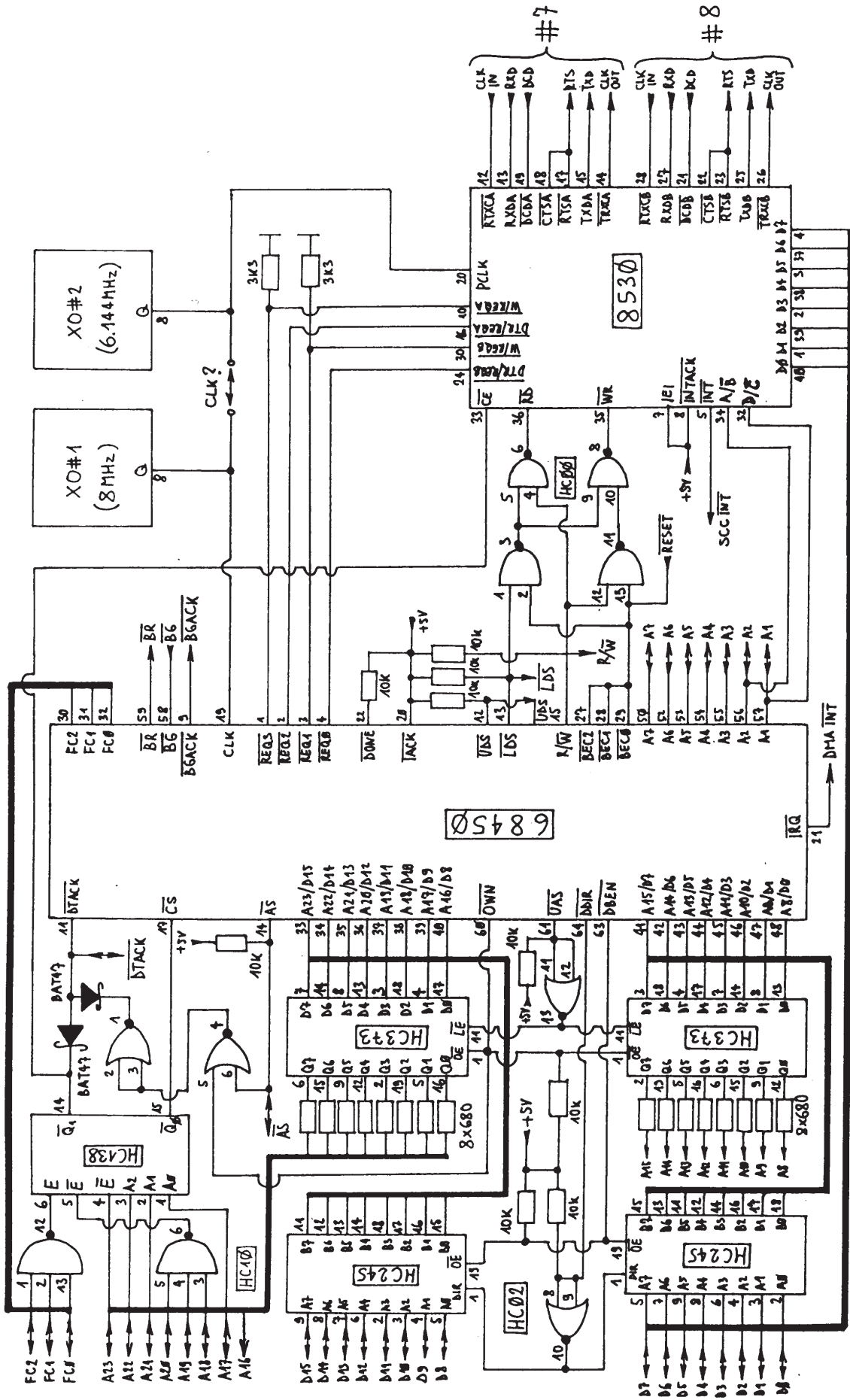
Obe strani popravljene DIL CPU tiskanine sta prikazani na Slikah 3. in 4. Ustrezna razporeditev sestavnih delov je prikazana na Sliki 5. Dodatna upora 2.2kohm sta vgrajena pod DIL podnožje MC68010! Trije upori označeni z R* so potrebni le v slučaju uporabe starih 74LSxx vezij, česar pa ne priporočam. V oscilatorju za takt priporočam 74AC00, ker so vezja 74HC00 nekaterih proiz-

vajalcev prepočasna za to nalogo.

Razen DMA signalov vsebuje nova izvedba DIL CPU ploščice še eno spremembo: vzporedni vmesnik ni več vezan na VPA, pač pa na DTACK enako kot pomnilniki. Vzporedni vmesnik je tako prisiljen delati hitreje, vendar tudi počasna NMOS vezja 8255 delajo pri taktu 12MHz, novejša CMOS 71055 pa tudi več. Nekatera vezja 8255, predvsem 82C55, potrebujejo še kondenzator C* na vhodu CS, za katerega so zdaj predvidena očesca na tiskanini.

VPA je uporabljen le še za prekinitive avtovektorje, kar naj bi poenostavilo prilagodilno ploščico za zmogljivejša mikroprocesorja MC 68020 oziroma MC68302. Oba omenjena mikroprocesorja sta vgrajena v še večja PGA ohišja z več kot 120 nožicami, zato se mi zdi edini možen način vgradnje dodatna mala prilagodilna ploščica za DIL CPU ploščico, če naj se izognemo štirislojnim ali večslojnim tiskanim vezjem.





Slika 6. - DMA-SCC ploščica, dvokanalni hitri zaporedni vmesnik za SuperVozelj.

3. Dvokanalni hitri zaporedni vmesnik za SuperVozelj

Izvirni SuperVozelj uporablja kot zaporedne vmesnike tri vezja Z8530 SCC, ki skupno omogočajo 6 med sabo skoraj neodvisnih zaporednih kanalov. Hitrosti delovanja ne omejujejo sama SCC vezja, pač pa čas izvajanja razmeroma dolgih prekinitvenih podprogramov. Vezje Z8530 sicer zna uporabljati tudi zunanji DMA vmesnik v več možnih načinih. Pri uporabi DMA vmesnika je omejitev vezja Z8530 dosti višja: hitrost prenosa podatkov lahko na vsakem kanalu neodvisno doseže četrtino takta PCLK, to je okoli 2Mbit/s pri običajnem PCLK taktu 8MHz.

Žal to ni edina omejitev vezja Z8530. Notranji DPLL, ki ga SuperVozelj lahko uporablja za bitno sinhronizacijo, dela s taktom, ki je 32-kratnik bitne hitrosti. V tem načinu delovanja je hitrost vezja Z8530 omejena na okoli 250kbit/s. Za višje hitrosti potrebuje vezje Z8530 zunanjo bitno sinhronizacijo, ki vezju poleg podatkov dovaja še regenerirani takt. Tudi drugi zaporedni vmesniki, ki jih dobimo na tržišču, niso bistveno boljši. Tako stari

Z80SIO-0, ki ga uporablja TNC2, kot najnovejši MC68302 naprimer sploh nimata notranjega DPLLja za regeneracijo takta sprejemnika.

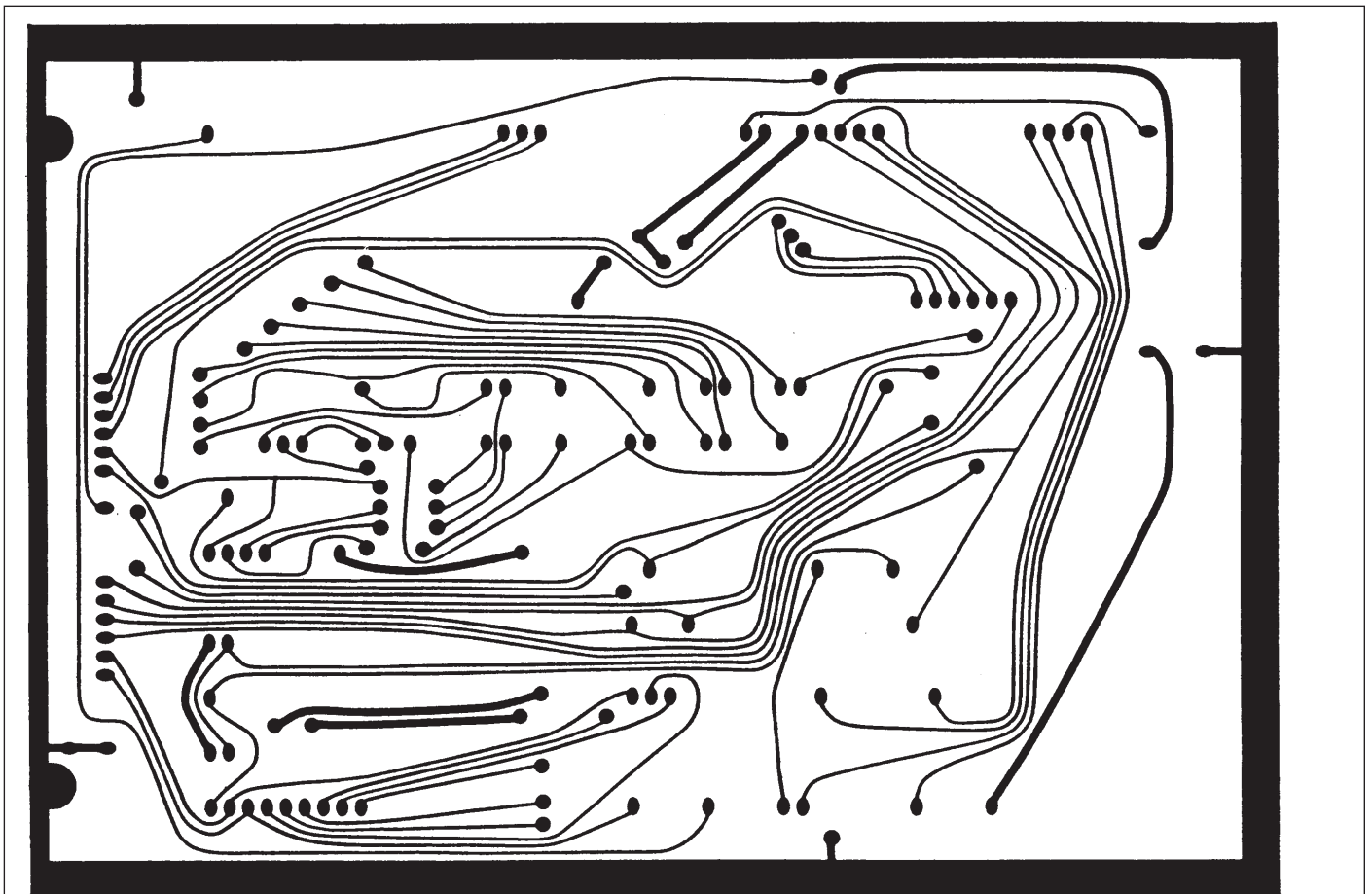
Za novi zaporedni vmesnik sem se zato odločil za dobro znano vezje Z8530, priključeno na DMA vezje MC68450. Električni načrt nove DMA-SCC ploščice je prikazan na Sliki 6. Novi vmesnik omogoča dva dodatna kanala za SuperVozelj, bolj točno kanala #7 in #8. DMA-SCC ploščica se seveda lahko vgradi v katerikoli DSP računalnik s popravljenim CPU ploščico, saj megabitnih hitrosti ne bomo uporabljali samo za zveze med packet-radio vozlišči, pač pa tudi doma!

Vezje MC68450 je štirikanalni DMA vmesnik iz družine mikroročunalnikov Motorola 68k. Kljub 64 nožicam ima MC68450 multipleksirane naslove in podatke na vodilu. Za trenutno hranjenje gornjih 16 naslovnih bitov MC68450 potrebuje dve vezji 74HC373, svoje lastno vodilo pa ločuje od podatkovnega vodila mikroročunalnika z dvema 74HC245. Ko MC68450 upravlja z vodom mikroročunalnika, razen naslova sam proizvaja tudi kontrolne signale AS, UDS, LDS in R/W in povsem enako kot mikroprocesor

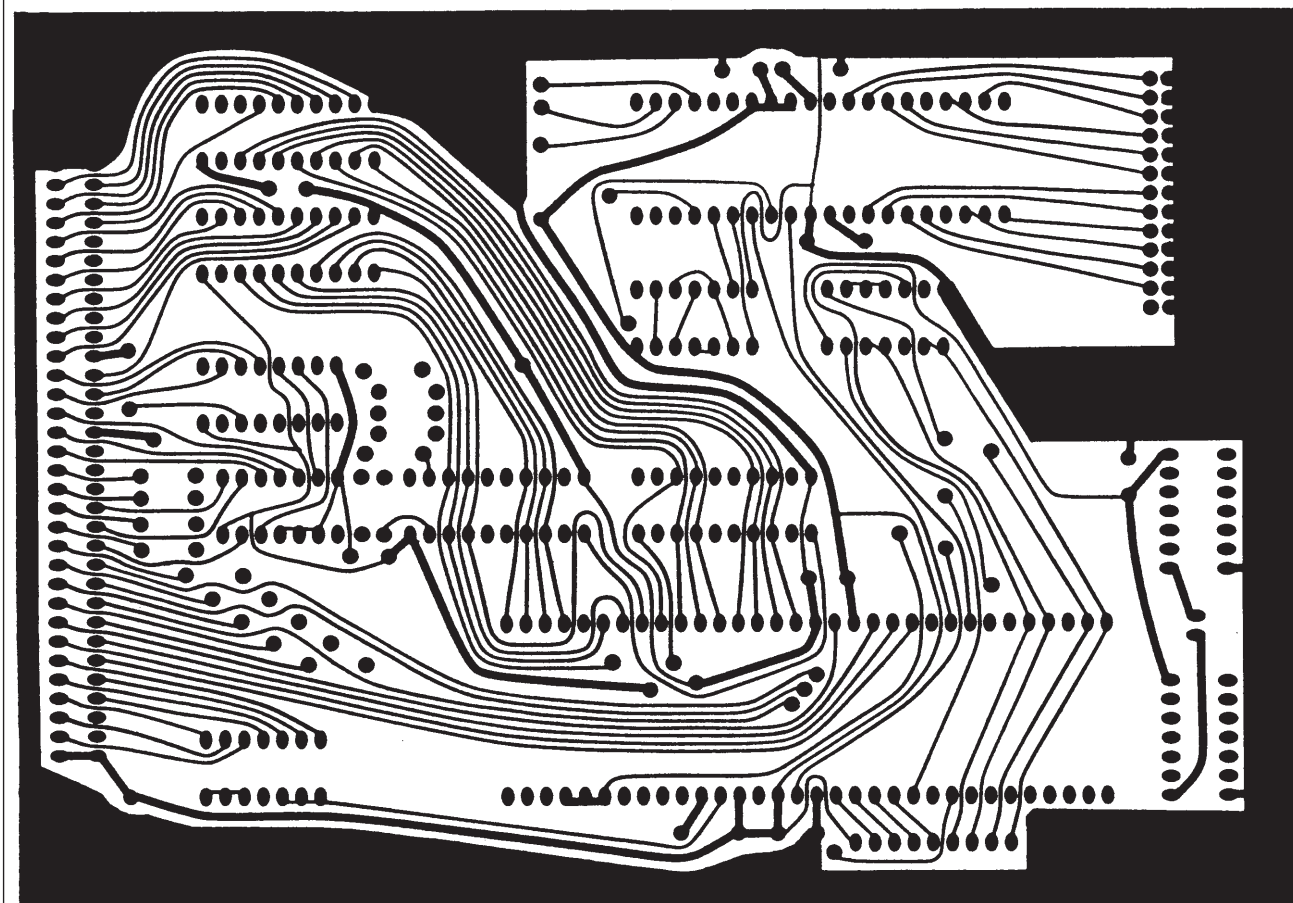
pričakuje odgovor DTACK.

Da pri prevzemu upravljanja z vodom mikroročunalnika ne pride do nedoločenih stanj, imajo AS, UDS, LDS in R/W upore 10kohm proti +5V, ki držijo omenjene signale v neaktivnih stanjih. MC68450 zna obravnavati tudi izjemne dogodke na vodilu, naprimer BERR. Izjemne dogodke javljamo MC68450 preko vhodov BEC0, BEC1 in BEC2. V opisanem vezju sem izkoristil edino RESET in vsi trije omenjeni vhodi so enostavno vezani na RESET vod na vodilu mikroročunalnika. BERR ni izkoriščen, ustrezna logika poskrbi zato, da MC68450 vedno dobi odgovor DTACK, ne glede na zahtevani naslov.

MC68450 zna prenašati podatke med vmesniki in pomnilnikom na različne načine. MC68450 lahko neposredno prepisuje podatke iz vmesnikov v pomnilnik in obratno brez uporabe vmesnih pomnilnikov oziroma lahko podatke trenutno shrani v svojih notranjih registrih. V opisanem vezju sem se odločil za drugo, čeprav počasnejšo varianto. ACK0 do ACK3 izhodi zato niso izkoriščeni, prav tako ne vhodi PCL0 do PCL3. MC68450 naslavlja vezje Z8530 povsem enako kot pomnilnik,



Slika 7. - Gornja stran dvostranske DMA-SCC ploščice.



Slika 8. - Spodnja stran dvostranske DMA-SCC ploščice.

kar znatno poenostavi povezave.

Štirje kanali vezja MC68450 so izkoriščeni za dva neodvisna sprejemna kanala in dva neodvisna oddajna kanala, vse iz enega samega vezja Z8530. MC68450 je sicer zelo varčen z dostopi do pomnilnika, da čimmanj zavira delovanje mikroprocesorja MC68010. Pri prenosu 8-bitnih podatkov z vmesnika Z8530 te najprej shrani v svojem notranjem vmesnem pomnilniku in jih vpiše v glavni pomnilnik šele takrat, ko zbere celotno 16-bitno besedo.

Na ta način prenese MC68450 kljub dvojnemu naslavljanju dva bajta podatkov v samo treh dostopih do vodila. Problem se pojavi pri sprejemu, saj lahko AX.25 okvirji vsebujejo sodo ali liho število bajtov. Žal se iz dostopnih registrov MC68450 nikakor ne da izvedeti, če v vmesnem pomnilniku čaka na prenos še osamljeni bajt. Program, ki ga izvaja mikroprocesor ob koncu okvirja, zato preprogramira ustrezne REQ izhode vezja Z8530 in upora 3.3kohm poskrbita za to, da vezje proizvede še eno dodatno zahtevo za DMA.

Za prilagoditev vezja Z8530 na vodilo 68k računalnika poskrbi 74HC00. Z8530 se sicer da spro-

gramirati tako, da štirje DMA REQ izhodi povsem ustrezajo DMA vmesniku MC68450. Proti modemu oziroma radijskim postajam pa v slučaju višjih hitrosti Z8530 potrebuje vsaj 5 žic. Razen običajnih TXD, RTS, DCD in RXD je treba pripeljati vsaj še regenerirani takt za sprejemnik. V opisanem vmesniku sem se odločil za šest žic, običajnim signalom sta dodana še RTxC in TRxC. Sedanji program je napisan tako, da je RTxC taktni vhod za oddajnik in sprejemnik danega kanala, TRxC pa izhod notranjega DPLLja, če ga seveda moremo uporabljati.

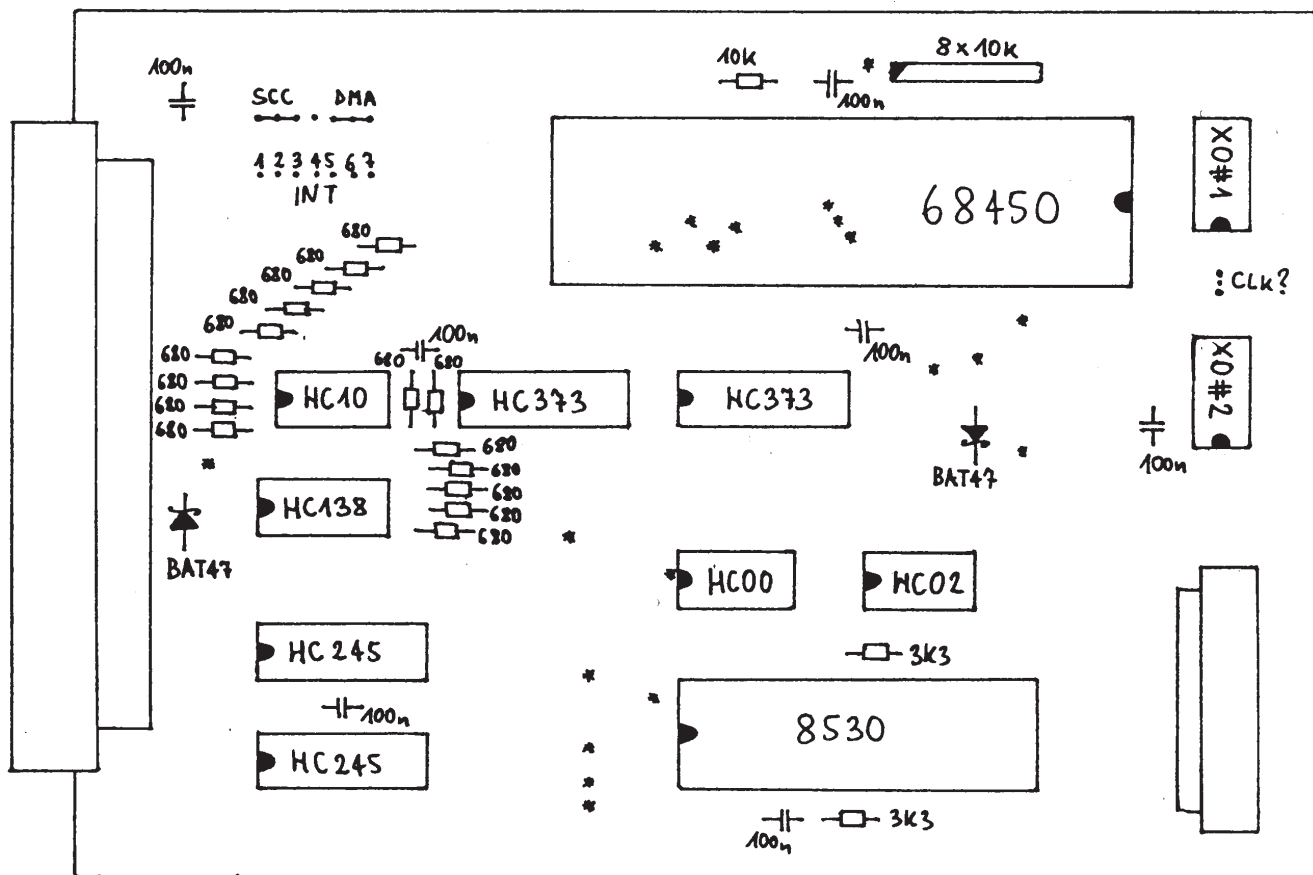
Vezji MC68450 in Z8530 potrebujeta za svoje delovanje tudi ustrezna takta. Takta obeh vezij nista nujno enaka niti sinhronizirana na takt mikroprocesorja MC68010. V vezju sem zato predvidel dva kristalna oscilatorja, čeprav običajno zadostiča en sam, prespojen preko mostička CLK? na obe vezji. Vezji MC68450 in Z8530 lahko tudi prožita prekinitve, vendar sedanja programska oprema teh prekinitvev ne potrebuje in ustreznih mostičkov enostavno ne vgradimo.

Dvokanalni hitri DMA-SCC zaporedni vmesnik je zgrajen na dvostran-

ski tiskanini dimenzij 120x170mm, ki je prikazana na Slikah 7. in 8. Razporeditev sestavnih delov je prikazana na Sliki 9. Na Sliki 9. je vrisanih tudi 7 kondenzatorjev 100nF za blokiranje napajalne napetosti +5V, ki zaradi preglednosti niso prikazani na električnem načrtu na Sliki 6. Vsi upori so vgrajeni vodoravno, vzporedno s ploščico. BAT47 sta lahko katerakoli malosignalni schottky diodi.

Vsa vezja 74... naj bojo iz 74HCxx serije. Dušilni upori 680ohm so primerni za vezja 74HC373, da preprečujejo motnje na vodilu. Večja vezja, MC68450 in Z8530, ter kristalne oscilatorje v DIL-14 ohišjih vgradimo na kvalitetna podnožja. Objavljena tiskanina je primerna za DIL izvedbo MC68450. Seveda obstaja tudi PGA MC68450 in še kopica drugih ohišij, ki bi jih le s težavo vgradili na opisano tiskanino.

CMOS izvedba MC68450 nosi oznako 63450, vendar je še nistem preizkusil, kot tudi ne CMOS izvedbe SCC vezja z oznako Z85C30. Poskusi so pokazali, da delajo 8MHz 68450 proizvajalca Hitachi tudi pri taktni frekvenci 13.7MHz, 6MHz Z8530A proizvajalca Zilog pa dosežejo



Slika 9. - Razporeditev sestavnih delov DMA-SCC ploščice.

10MHz. Težave nastopijo le pri takti frekvenci mikroprocesorja MC68010. DMA-SCC ploščica predstavlja zaradi dolgih povezav zelo veliko kapacitivno breme na vodilu, večje od običajnih ploščic DSP računalnika, kar zahteva znižanje taktne frekvence MC68010 na 12MHz ali manj, če želimo doseči zanesljivo delovanje SuperVozlja.

Dvokanalni hitri zaporedni vmesnik ima standardni 64-polni "eurocard" konektor za vodilo DSP računalnika. Naslovi vhodno/izhodnih enot so prikazani v tabeli A:

Ker naslovni dekoder ni popoln, se ti naslovi ponavljajo vse do naslova \$1FFFFFF! Uporabe več DMA-SCC vmesnikov nisem predvidel, saj že en sam vmesnik polno zasede zmogljivost vodila in mikroprocesorja.

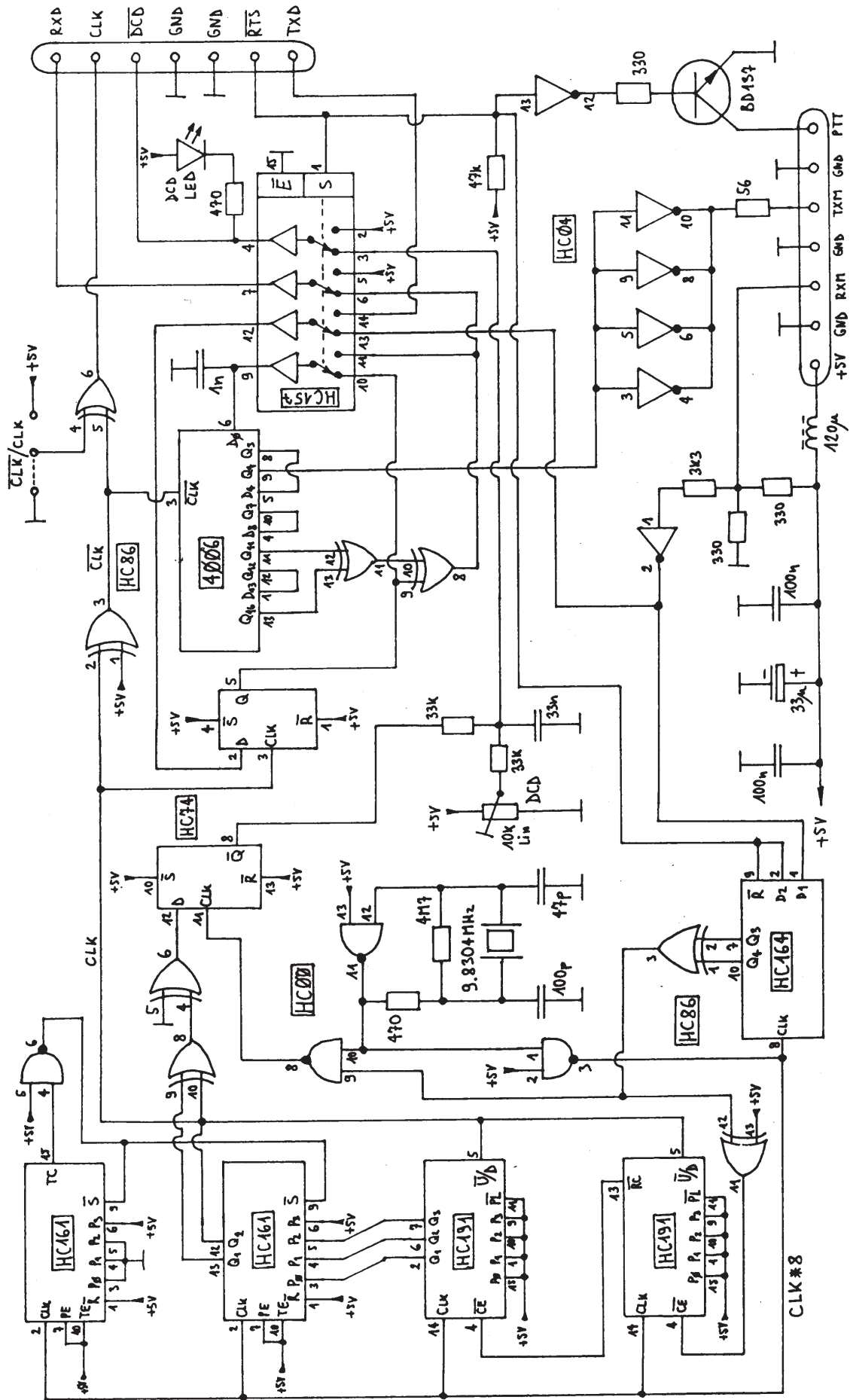
Modema oziroma vezji za bitno sinhronizacijo povežemo na DMA-SCC vmesnik preko 26-polnega konektorja za ploščati kabel. Ta je povezan na moški DB25 konektor na prednji plošči tako, da ni treba mešati žic ploščatemu kablu:

- 1,2,3,4,5,6,7,8,9,10,11,12,13 = masa (vsaka druga žica v kablu)
- 14 = RTxC kanal 7 (RX in TX taktni vhod)
- 15 = RXD kanal 7
- 16 = DCD kanal 7
- 17 = RTS kanal 7
- 18 = TXD kanal 7
- 19 = TRxC kanal 7 (DPLL izhod - običajno neuporabljen)
- 20 = RTxC kanal 8 (RX in TX taktni vhod)
- 21 = RXD kanal 8
- 22 = DCD kanal 8
- 23 = RTS kanal 8
- 24 = TXD kanal 8
- 25 = TRxC kanal 8 (DPLL izhod - običajno neuporabljen)

Oba kanala sta dupleksna. DCD vhod posameznega kanala določa le, kdaj gra lahko ta kanal na oddajo. DCD vhod ne vpliva na sprejem okvirjev! RTS izhod preklaplja sinhronizator in postajo med sprejemom in oddajo (PTT). Takti vhod je skupen za RX in TX in je povezan na RTxC vhod na vezju Z8530. Na

\$1C0000 do \$1C0039	DMA MC68450 DREQ#0 registri - kanal 8 TX
\$1C0040 do \$1C0079	DMA MC68450 DREQ#1 registri - kanal 8 RX
\$1C0080 do \$1C00B9	DMA MC68450 DREQ#2 registri - kanal 7 TX
\$1C00C0 do \$1C00F9	DMA MC68450 DREQ#3 registri - kanal 7 RX
\$1C00FF	DMA MC68450 general control register
\$1E0001	SCC#4 (DMA) naslov B command - kanal 8
\$1E0003	SCC#4 (DMA) naslov B data
\$1E0005	SCC#4 (DMA) naslov A command - kanal 7
\$1E0007	SCC#4 (DMA) naslov A data

Tabela A



Slika 10. - 1.2288Mbit/s bitna sinhronizacija s skrambliranjem podatkov.

TRxC pa je doveden izhod notranjega DPLLja iz Z8530 (običajno neuporabljen).

4. 1.2288Mbit/s bitna sinhronizacija s skrambliranjem podatkov

Na začetku packet-radia je bil vmesnik med računalnikom in postajo znan. Modem ali kakorkoli že smo imenovali napravo, ki se je morala obnašati kot zvočnik, mikrofoni in stikalo za oddajo, gledano s strani radijske postaje. Podobne signale potrebujejo tudi širokopasovne 70cm in 23cm FM radijske postaje, saj bi s temi postajami v krajnem slučaju tudi lahko prenašali govorne signale. Pri načrtovanju še hitrejših packet-radio povezav pa se takšno razmišljanje zatakne, saj se na primer govorni signal ne bo nikoli uspel prebiti skozi vezja PSK radijske postaje.

Večje hitrosti prenosa zavzemajo

širši frekvenčni spekter in zato zahtevajo uporabo mikrovalovnih frekvenčnih področij. Na mikrovalovih vsakršen antenski vod prinaša velike izgube, zato bi želeli vgraditi postajo čim bližje anteni. Dolžina voda med radijsko postajo in modemom pa ni poljubna: sedanji Manchester modemi in WBFM postaje ne dopuščajo več kot kakšen meter oklopljenih žic, sicer nizkofrekvenčni signal popačijo in dušijo parazitne kapacitivnosti povezovalnih žic.

Ne glede na to, če se za nove packet-radio povezave odločimo za navidez enostavnejše FM radijske postaje z manjšim dometom oziroma bolj komplicirane PSK radijske postaje z večjim radijskim dometom, je treba najprej določiti vmesnik med radijsko postajo in računalniško opremo. Po daljšem razmisleku sem se odločil za vmesnik s signali na TTL nivoju (0-5V), ki lahko krmili 75-ohmski koaksialni kabel. Sprejemna in oddajna enota sta seveda za-

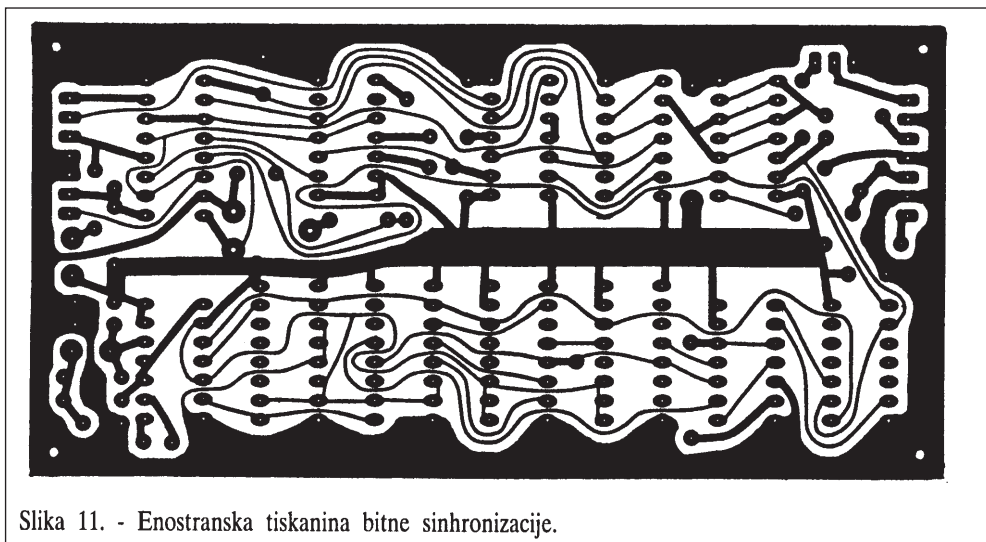
ključeni na karakteristično impedanco voda, da preprečimo ali vsaj omilimo vpliv neželenih odbojev.

Čeprav se da izdelati FM in PSK radijske postaje, ki zmorejo prenašati tudi enosmerni komponento modulatorskega signala, ta zadnja zahteva običajno povzroči načrtovalcu radijske postaje obilo preglavic. Vmesnik naj bi poskrbel za to, da modulatorski signal ne vsebuje enosmerne komponente. Takšen signal je lahko AFSK izhod Bell-202 modema oziroma Manchester signal.

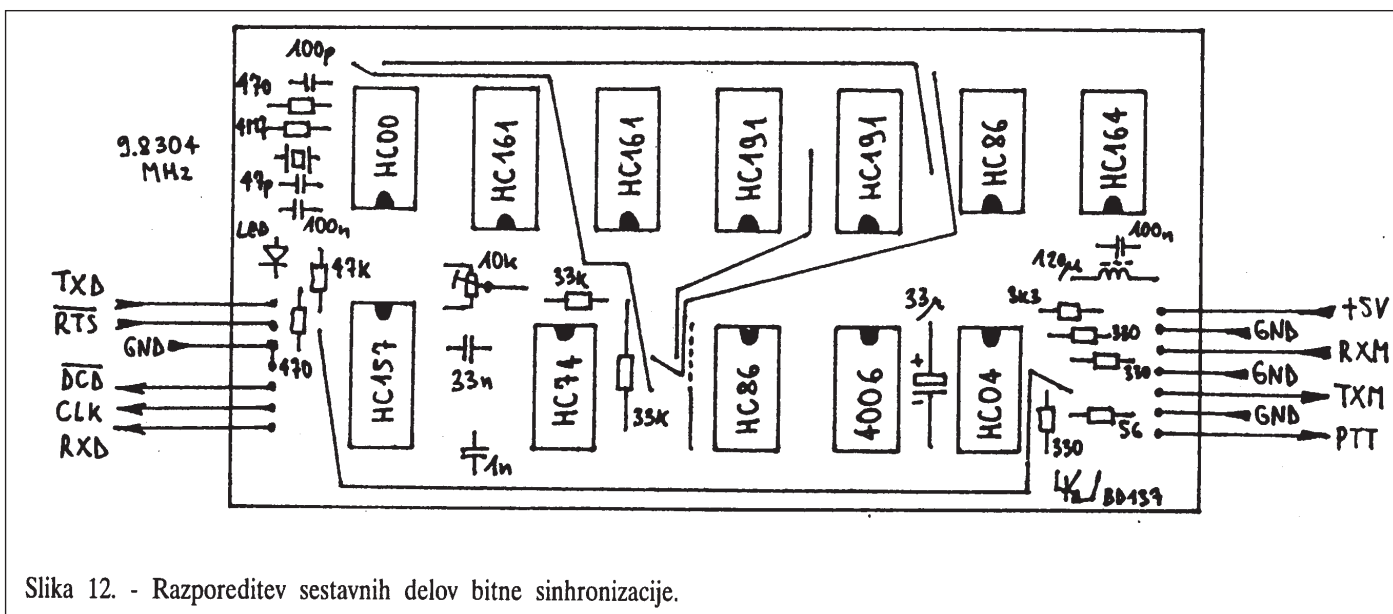
V digitalnem svetu pomeni gornja zahteva enostavno to, da je število enic in ničel v sporočilu približno izenačeno ter so enice in ničle skoraj povsem naključno premešane v samem sporočilu. Ker vsebujejo packet-radio signali določeno redundanco (odvečne bitke) zaradi mehanizma vrivanja ničel oziroma oddaje zastavic, je za takšne signale razmerno enostavno izdelati skrambler na oddajni strani ter ustrezen deskrambler na sprejemni strani.

Skrambliranje (scrambling ali ran-domization po angleško) pomeni enostavno to, da koristnemu signalu dodamo na oddajni strani navidezno povsem naključen signal in na sprejemni strani ta dodatek spet točno odstranimo.

Postopka skrambliranja ne smemo zamenjati s kriptozoščito (šifriranjem) podatkov, čeprav je končni rezultat za nepoučenega opazovalca podoben. Pri skrambliranju uporabljamo znana psevdonaključna zaporedja, ki jih naredimo s pomikalnimi registri z linearno povratno vezavo iz samih EXOR vrat.



Slika 11. - Enostranska tiskanina bitne sinhronizacije.



Slika 12. - Razporeditev sestavnih delov bitne sinhronizacije.

Tako skrambliran signal je zelo enostavno "dešifrirati", tudi ko natančno ne poznamo načina skrambliranja. Matematiki so že pred leti našli algoritem, ki takšno uganko reši v trenutku z zelo majhnim številom računskih operacij. Kriptološka vrednost takšnega "šifriranja" je danes nična, zato ne obstajajo pravni razlogi, da radioamaterji ne bi uporabljali skrambliranja v naših zvezah, če s tem poenostavimo naše naprave in celo omejimo motnje drugim uporabnikom.

Skrambliranje je v packet-radiu prvič uspešno uporabil K9NG v svojem 4800bit/s modemu in sicer z uporabo polinoma $1+X^{**12}+X^{**17}$. K9NG modem je kasneje izboljšal G3RUH z dodatkom boljših analognih vezij in gnusno načrtovanega DPLLja ter dosegel 9600bit/s skozi v ta namen predelane ozkopasovne FM postaje. V opisani vmesnik sem tudi sam vgradil skrambliranje z istim polinomom, ki potrebuje le 17-stopenjski pomikalni register in dvoje EXOR vrat za skrambliranje oziroma deskrambliranje podatkov.

Električni načrt 1.2288Mbit/s bitne sinhronizacije s skrambliranjem podatkov je prikazan na Sliki 10. Vezje vsebuje "interpolacijski" DPLL za regeneracijo takta na sprejemu, skrambler/deskrambler s pomikalnim registrom, vezja za preklon sprejem/oddaja ter vmesnik za 75-ohmska kabla.

Regeneracijo takta pri sprejemu sinhronih podatkov običajno izvedemo s sitom s fazno-sklenjeno zanko (PLL ali Phase-Locked Loop). PLL lahko izdelamo z analognimi ali digitalnimi vezji. Analogni PLL je treba seveda uglasiti na pravo frekvenco. Razen tega je analogni PLL običajno PLL drugega reda, ker vezje opisuje diferencialna enačba drugega reda. Rešitve takšne enačbe so lahko nestabilne, kar privede do nepredvidenih težav.

V nasprotju z analogno izvedbo lahko digitalni PLL (DPLL) izdelamo kot PLL prvega reda, ki je vedno stabilen. Žal pri hitrostih nad 1Mbit/s DPLL ni enostavno izvedljiv. DPLL vezja običajno delajo s taktno frekvenco, ki je vsaj 32-kratnik bitne hitrosti, še boljše več (64-, 128- ali 256-kratnik). Pri 1.2Mbit/s to pomeni taktno frekvenco vsaj 40MHz, kar v malo bolj kompliciranem vezju komaj zmore najhitrejša 74Fxxx družina TTL vezij. Enakovredno vezje Manchester modemu iz CQ ZRS 6/96 bi potrebovalo taktno frekvenco okoli

79MHz, kar ni izvedljivo z amaterjem dosegljivimi sestavnimi deli!

Prikazano vezje na Sliki 10. zato vsebuje drugačen DPLL, ki deluje le z 8-kratnim taktom bitne frekvence. Frekvenco kristalnega oscilatorja na 9.8304MHz deli z 8 gornji 74HC161. Še en 74HC161 je uporabljen kot fazni sukalknik, ki ga krmilita dva dvosmerna števec 74HC191. Pomikalni register 74HC164 skupaj z ustreznimi EXOR vrati zaznava prehode logičnega nivoja v vhodnem signalu, ki povečajo ali znižajo vsebino števec 74HC191. Končni rezultat ustreza enostavnemu DPLL vezju, ki bi delovalo z 256-kratnikom bitne frekvence oziroma s taktno frekvenco okoli 315MHz.

DPLL krmili tudi DCD vezje, ki ugotavlja, če se prehodi nivojev pojavljajo v vhodnem signalu ob pričakovanem času ali ne. Rezultat DCD vezja se povpreči z razmeroma veliko RC časovno konstanto okoli 500 mikrosekund, saj so zakasnitve ob preklopu radijske postaje na oddajo še dosti večje. Kot primerjalnik DCD napetosti so uporabljena kar CMOS logična vrata iz preklonika 74HC157.

Vezje bitne sinhronizacije je predvideno za simpleksno delovanje. Izhod DPLL vezja dovaja en sam takt za sprejemnik in oddajnik zaporednega vmesnika Z8530, vendar je zanka DPLL vezja sklenjena na vhodni signal le na sprejemu. Na oddaji DPLL enostavno deli takt kristalnega oscilatorja z 8, saj RTS signal tedaj onesposobi delovanje detektorja prehodov s pomikalnim registrom 74HC164.

Regenerirani takt iz DPLLja potrebuje za delovanje tudi vezje skramblerja/deskramblerja. V tem vezju sem uporabil stari pomikalni register 4006 ker vsebuje skupno kar 18 stopenj, za kar bi sicer potreboval vsaj tri vezja iz družine 74HCxxx. Uporaba starega in počasnega 4006 ne gre brez težav: za zagotavljanje pravilnega delovanja je potrebno nekoliko zakasniti vhodne podatke glede na takt s kondenzatorjem 1nF med nožico 6 in maso.

Točno nalogo vezja: skrambler na oddaji oziroma deskrambler na sprejemu, preklaplja 74HC157. Isto vezje poskrbi tudi za to, da sta na oddaji izhoda RXD in DCD v neaktivnem stanju in po nepotrebem ne obremenjujeta DMA-SCC vmesnika. Razen pomikalnega registra 4006 vsebuje vezje še D-flip-flop (polovica 74HC74) za "čiščenje" vhodnih po-

datkov predvsem na sprejemu.

Vmesnik za radijsko postajo je izdelan z vezjem 74HC04. Oddajne podatke ojačijo štirje vzporedno vezani inverterji tega vezja, da pravilno krmilimo nizkoimpedančni koaksialni kabel do radijske postaje. Vhod sprejemnika je zaključen z dvema uporoma po 330ohm, kar daje nekoliko višjo vhodno impedanco, sicer pa se tudi sprejeti podatki ojačijo z enim od inverterjev vezja 74HC04. Končno preostali inverter krmili tranzistor BD137, ki deluje kot PTT stikalo za oddajo. Za razliko od ostalih modemov opisano vezje ne vsebuje "kužapazi" časovne konstante za oddajnik!

1.2288Mbit/s bitna sinhronizacija s skrambliranjem podatkov je zgrajena na enostranski tiskanini dimenzij 60x120mm (glej Sliko 11.). Razporeditev sestavnih delov je prikazana na Sliki 12. Na ploščici je kar šest žičnih mostičkov. Z ustreznim žičnim mostičkom izbiramo fazo izhodnega takta. Za DMA-SCC ploščico z vezjem Z8530 je ta mostiček spojen na maso. Upori, dušilka in elektrolit so vgrajeni ležeče, kristal in tranzistor BD137 pa pokončno.

Vezje bitne sinhronizacije vsebuje le eno uglasovalno točko in sicer trimer za DCD, ki ga pri sprejemu šuma nastavimo tako, da DCD LED ravno ugasne. Na SuperVozelj povežemo bitno sinhronizacijo kot vsak modem, le na dodatno žico za takt ne smemo pozabiti. Radijska postaja mora seveda vsebovati podoben TTL vmesnik za povezavo z bitno sinhronizacijo. Pri načrtovanju vmesnika v radijski postaji moramo upoštevati, da oddaja bitna sinhronizacija "šavje" preko TXM voda tudi na sprejemu, bolj točno takrat tu dobimo zakasnen in regeneriran sprejeti signal brez deskrambliranja.