



ZVEZA RADIOAMATERJEV SLOVENIJE
ASSOCIATION OF RADIO AMATEURS OF SLOVENIA

Kako se lotiti SDR vmesnika?

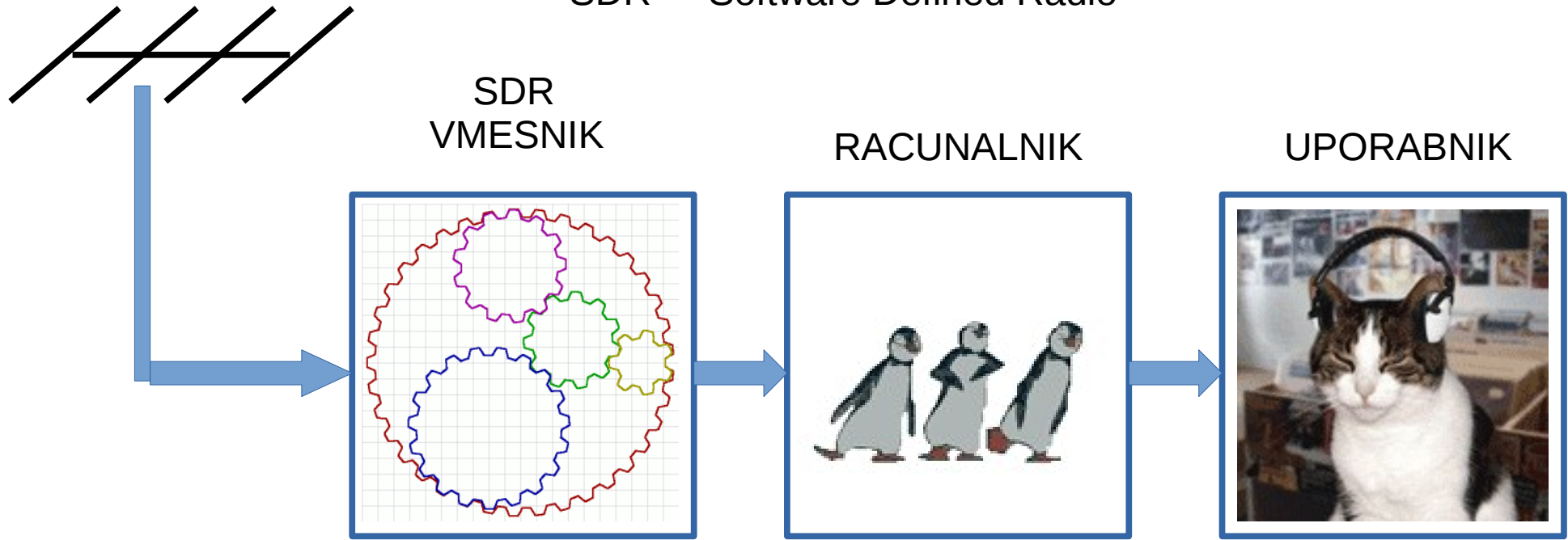
Ali muke FPGA začetnika

Marko Cebokli S57UUU

RADIOAMATERSKO IZOBRAŽEVALNO SREČANJE, 1. FEBRUAR 2020

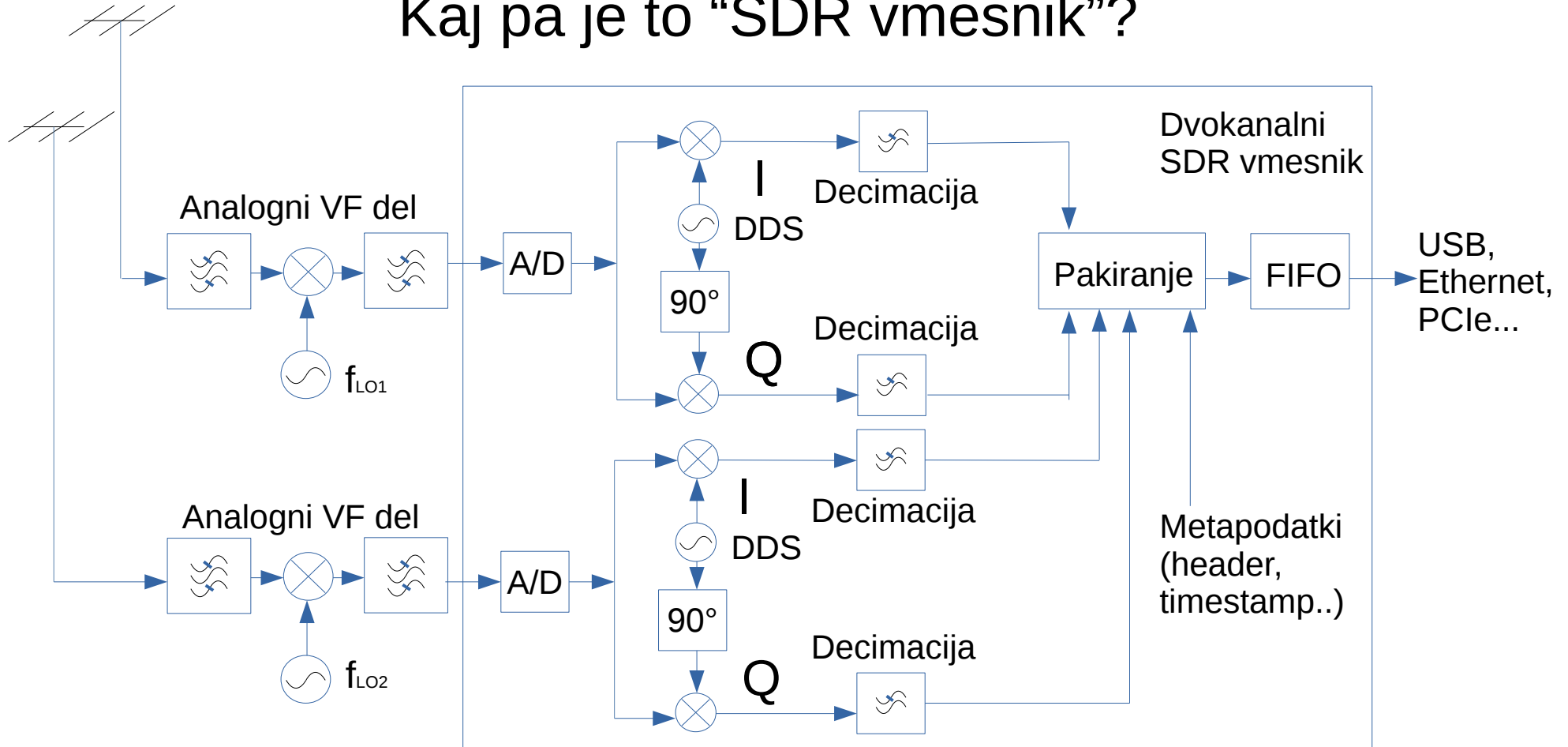
Kaj pa je to “SDR vmesnik”? ¹

SDR = “Software Defined Radio”



Kaj pa je to "SDR vmesnik"?

2



ZAKAJ se lotiti SDR vmesnika? ¹

Na trgu obstaja morje SDR vmesnikov:

RTL dongli

SDRplay

Airspy

Funcube

ADALM Pluto

HackRF

Limesdr

Myriad RF

Blade RF

USRP B210

WinRadio

Per Vices Noctar

Signal hound BB60C

AOR AR-2300

Bitshark express RX

Per Vices Cyan

Red Pitaya

DX patrol RX

Soft 66Q

GNSS Firehose

...

In kup kitajskih: v aliexpress vtiskaj "fpga ad" !

ZAKAJ se lotiti SDR vmesnika? ²

- ce rabim vec kot en koherenten vhod, se izbira, v proletarskem cenovnem razredu, drasticno zmanjsa!
- narediti nekaj sam, “od nule”, je odlicna priloznost, da se kaj naucis (v mojem primeru Verilog in XILINX orodja)
- sam stvar naredis točno taksno, kot jo rabis
- dokler se dobijo uporabljeni cipi, “planned obsolescence” ni problem

Veckanalni SDR vmesniki

USRP-1 (4 vhodi)

- ni več v proizvodnji
- faza med kanali odvisna od amplitude, presluhi
- dinamika max 13 bit na izhodu
- cena (je bila) 1000 EUR brez vhodnega dela

Per Vices Cyan Mid (8 vh + 8 izh)

- 1GHz pasovne sirine
- analogni del do 18GHz
- cena: (sitnica) 149500.00 USD

Kerberos SDR (4 vhodi)

- stirje RTL dongli z injekcijo referencnega suma
- vse pomankljivosti RTL donglov
- potrebna kalibracija (krade čas)
- vprašljiva zanesljivost kalibracije po daljšem času (stirje USB kanali)

Vec USRP B200 vzporedno

- vsak stane ~1000eur
- analogni del do 6GHz
- neodvisni sintezatorji (koherenca?)

Kaj naj bi dedek Mraz prinesel?

- vsaj 4 kanali
- vsaj 60MHz vzorčenje
- vsaj 12 bitna A/D pretvorba
- majhni presluhi med kanali
- konstantna faza med kanali
- ohisja cipov, ki omogočajo ročno spajkanje
- dvostransko tiskano vezje manjše od 10x10cm (cena)
- čim enostavnejši host vmesnik
- clock vhod/izhod (sinhronizacija)
- vhod za zunanje metapodatke (smer antene...)
- morda kak izhod (furanje zunanjega sintija...)
- možnost proženega vzorčenja
- nič analognega dela pred A/D (univerzalnost)

Hitri A/D pretvorniki

AD9235: 12bitni 65MHz 3.3V, 28pin TSSOP, cena cca 20 evrov

AD9226: 12bitni 65MHz 5V, 28pin TSSOP, malo starejsa verzija, malo drugacen pinout, ampak obstaja kitajska verzija za cca 2 evra

AD6644: "stari ata" hitrih A/D pretvornikov, 14 bitov 65MHz, LQFP 52, cca 60 evrov, KURI 1.3W !!

AD9204, AD9231, AD9251, AD9268: družina pin kompatibilnih 80MHz dvojnih A/D pretvornikov, 10,12,14,16 bitni, LFCSP64, 17,40,56,130 evrov. AD9268 obstaja 125MHz za 210 evrov.

AD9257: osemkratni 14 bitni 65MHz, LFCSP64, serijski izhodi, cca 100 evrov

Kitajski ADC

1pcs/lot AD9226 AD9226A AD9226AR AD9226ARSZ
SSOP-28 new original In Stock

★★★★★ 4.8 15 Reviews 21 orders



US \$1.99 ~~US \$2.09~~ -5%

Quantity:

− 1 + 10947 pieces available

Buy Now

Add to Cart

♥ 8

FPGA z nogami

Kateri je najzmogljivejši FPGA, ki se ga da ročno spajkati (ni BGA) ?

XILINX Spartan XC6SLX9: QFP144, 9152 “logic cells”¹, 16 “DSP slices”, 576kb RAM
cena ~20 evrov, obstaja kitajska verzija za cca 4 evre

ALTERA² Cyclone 10CL025: QFP144, 25K “logic elements”¹, 66 mnozilnikov,
594kb RAM, cena ~30 evrov

ALTERA² Cyclone EP4CE22: QFP144, 22K “logic elements”¹, 66 mnozilnikov,
594kb RAM, cena ~50 evrov

ALTERA² MAX 10M50: QFP144, 50k “logic elements”¹, 144 mnozilnikov,
1638kb RAM, cena ~80 evrov, FLASH BASED !!

¹ to pri vsaki firmi pomeni nekaj drugega...

² medtem jih je kupil Intel

Kitajski Xilinx

VANXY[®]

Fantasy Electronics Co.,Ltd



1pcs XC6SLX9-2TQG144C XC6SLX9-2TQG XC6SLX9 X
C6SL TQFP144 TQFP QFP

★★★★★ 5.0 6 Reviews 12 orders

US \$3.75

Quantity:

- 1 + 959 pieces available

Buy Now

Add to Cart

♥ 13

Better Product, Better Service !

PC vmesnik

USB:

Prednost:

Preprot FIFO vmesnik na HW strani, nic naslavljanja itd. USB3 je hitrejsi

Slabost:

Manjsi domet, slabši PHY (obcutljivost na motnje) USB2 je pocasnejsi

1000baseT:

Prednost:

Boljsi PHY, vecji domet, podpora ze v OS (ne rabis dodatnih knjiznic)

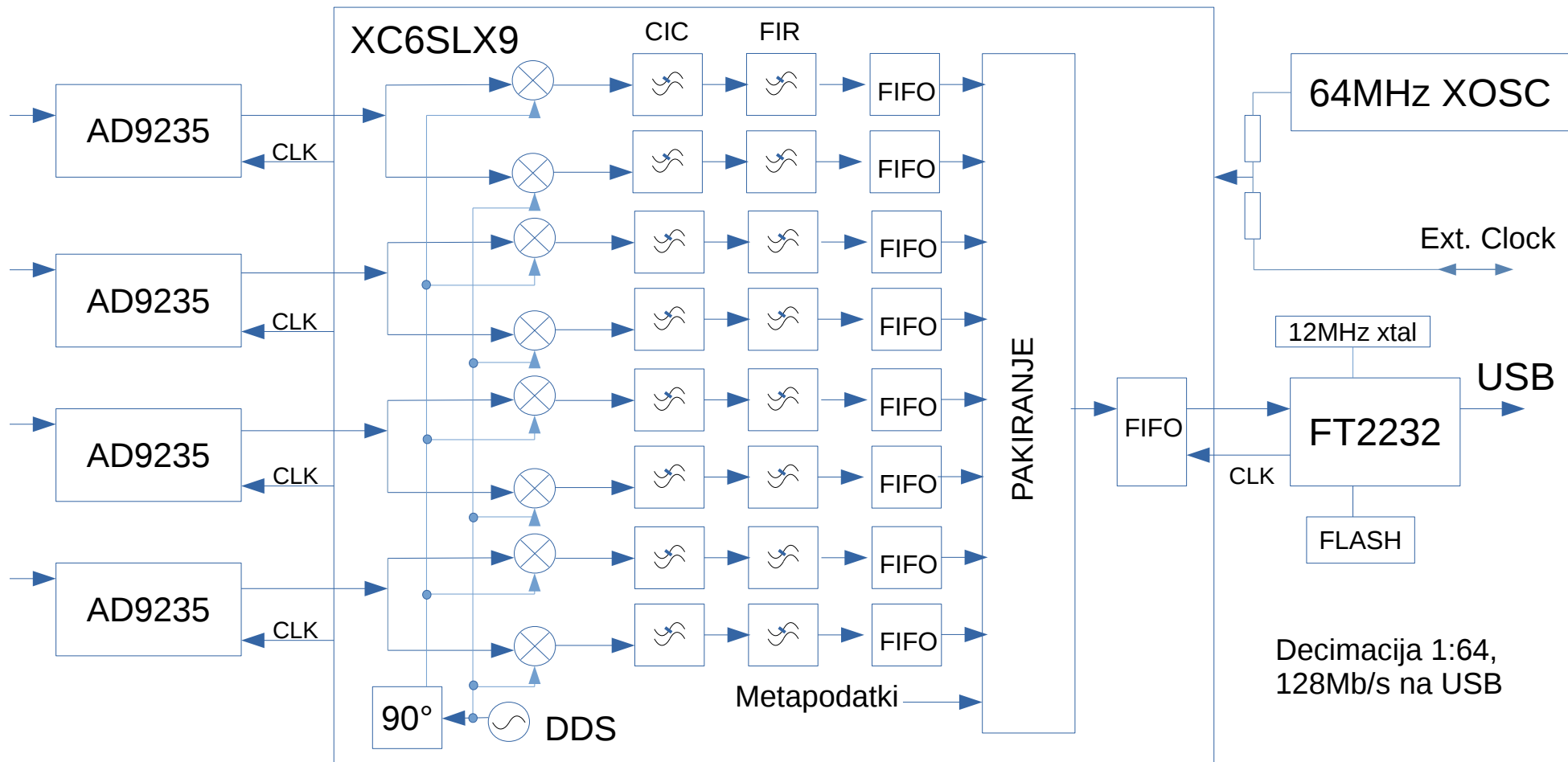
Slabost:

Rabi IP stack na HW strani ali pa raw packet na hostu, MAC naslavljanje..

FTDI FT2232H: USB2 cip s FIFO vmesnikom za poln izkoristek USB2 hitrosti, QFP64, ne potrebuje firmwara, preprosta EEPROM konfiguracija, dela z libusb.

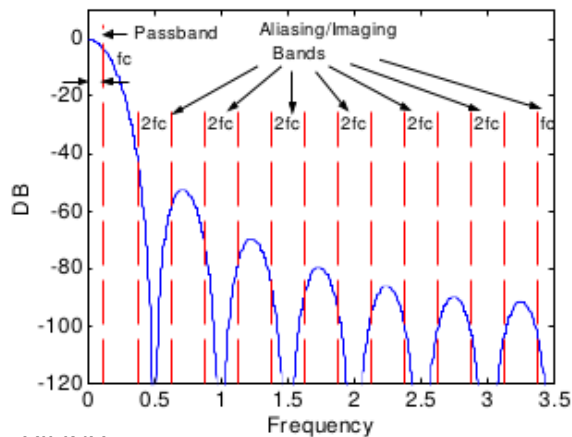
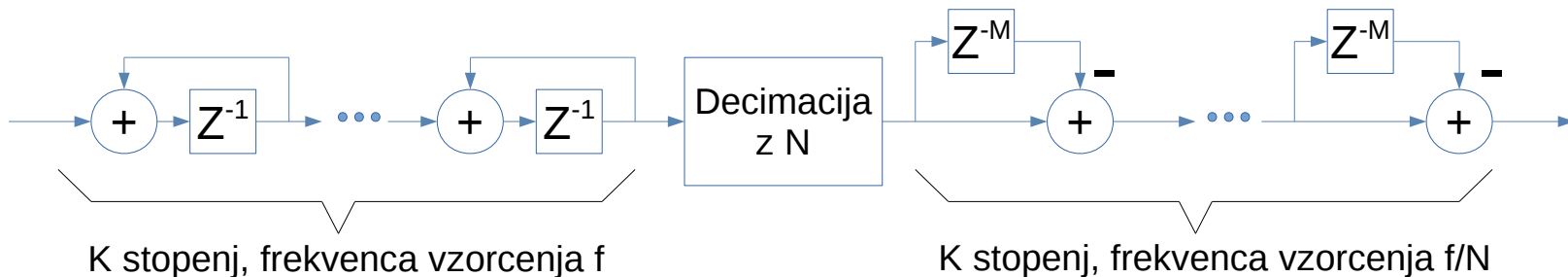
Moznost prehoda na USB3: FT600, FT601 (QFN)

Simple Sampler, verzija 1 (SISA-1)



Kaj pa je to “CIC”?

“Cascaded Integrator Comb” je način decimacije (zmanjševanja frekvence vzorčenja) brez množenja (samo sestevanje in odstevanje)



Frekvenčna karakteristika ni ravno idealna, zato po CIC decimaciji dodamo še FIR decimacijo, lahko tudi s kompenzacijo upada.

E.B. Hogenauer: An Economical Class of Digital Filters for Decimation and Interpolation, IEEE ASSP 29/2 april 1981

Zakaj pa ne kaksen “all in one” SDR cip?

Obstajajo cipi, ki v sebi združujejo analogni del do nekaj GHz, A/D pretvornike, DDS, digitalno I/Q mesanje, decimacijo... n.pr Myriad LMS7002M

- svoboda eksperimentiranja je mnogo manjša kot pri uporabi FPGA in “golih” A/D pretvornikov
- “neprijazna” ohisja
- ko se naucis uporabiti tak cip, znas uporabljati samo ta cip, ne pa kakega drugega, vezan si na proizvajalca...
- dokumentacije za tak cip je stotine strani - ravno ko jo nastudiras, umaknejo cip iz proizvodnje

HA HA HA! 12Bitov, 64MHz?

To je bilo “state of art” pred (...) leti!

Ce ti na tekmovanju sosed diha za ovratnik s kilovatom, morda res rabis vec...

AMPAK

z 8 bitnimi RTLSDR donglji za 15 evrov so ljudje:

- naredili sliko nevtralnega vodika v nasi galaksiji
- detektirali pulzarje
- naredili pasivni radar
- itd

12 bitov + decimacija



Decimacija z 2 zmanjša moč suma na polovico

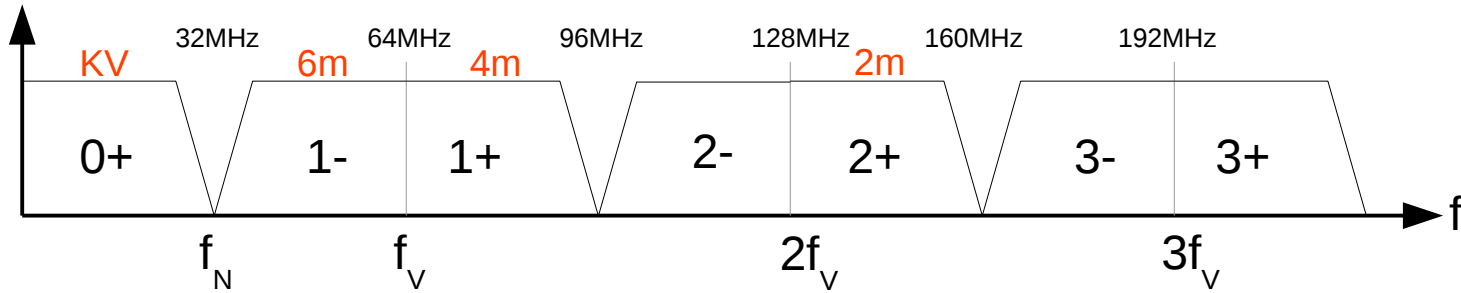
Dve decimaciji z 2 (decimacija s 4) zmanjša moč na četrtino, napetost na pol => pridobimo en bit

Decimacija s 64 = 4^3 => dobimo 3 bite, 12 bitov \rightarrow 15 bitov

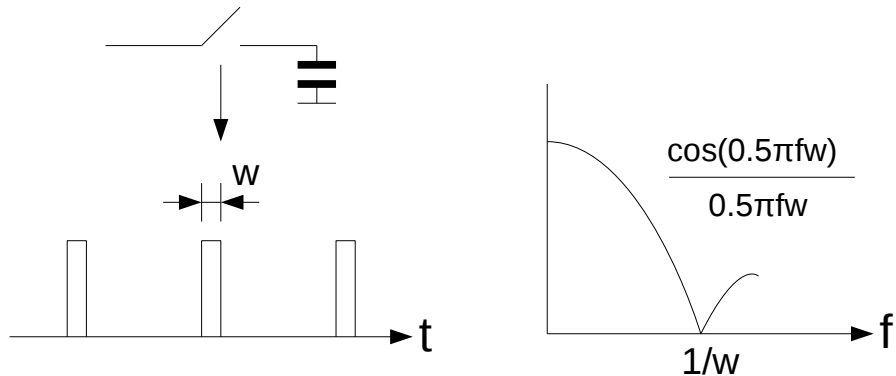
Preko USB prenasam 16 bitne vzorce, torej je z 12 bitnim A/D največja smiselna decimacija pred prenosom 256.

Vse signalne poti v FPGA so široke vsaj 16 bitov

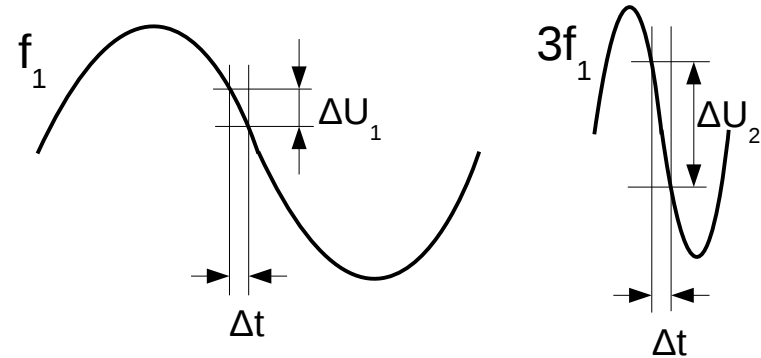
64MHz + vzorčenje v visjih Nyquistovih pasovih



Vpliv širine vzorcevalnega okna:



Vpliv tresenja ure (faznega suma ure):



$$\text{Sum} = 20 \log_{10}(2\pi f_{\text{SIG}} \Delta t) \quad [\text{dBc}]$$

Ni vse kristalni oscilator, kar se sveti

V enakih ohisjih kot kristalni oscilatorji se skrivajo tudi MEMS oscilatorji (mehansko nihalo, izjedkano kar na cipu) in sintezatorji. Med pravimi kristalnimi oscilatorji pa je tudi pametno izbrati taksne, ki imajo podan fazni sum. Dober 64 MHz je recimo EPSON X1G004451011412, serija SG5032CAN, ki ima RMS jitter 2.5 ps. Niso pa dobri n. pr. taksni (tudi EPSON):

**CRYSTAL OSCILLATOR
PROGRAMMABLE**

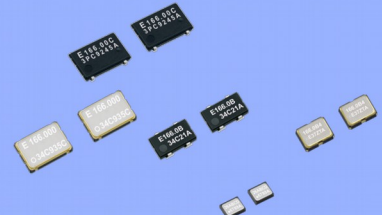
SG - 8003 series

- Frequency range : 1 MHz to 166 MHz
- Supply voltage : 1.8 V / 2.5 V / 3.0 V / 3.3V
- Function : Output enable(OE) or Standby(\overline{ST})

- Short mass production lead time by PLL technology.
- SG-Writer available to purchase.
Please contact Epson Toyocom or local sales representative.

Pb Free **RoHS Compliant**

Product Number (please contact us)
X1G003xx1xxxx00



**CRYSTAL OSCILLATOR
SPREAD SPECTRUM**

SG - 9001LB / CA / JC series


- Frequency range : 10 MHz to 166 MHz
- Supply voltage : 3.3 V
- Function : Output enable(OE)
- Thickness : 1.15 mm Typ.(SG-9001LB)
1.40 mm Typ.(SG-9001CA)

- Range of spreading percentage is selectable by program
(Center or Down spread, 6 Values)




Pb Free **RoHS Compliant**

CA, LB Type CA, LB, JC Type

Product Number (please contact us)
SG-9001LB: Q3331x2x0xxxx00
SG-9001CA: Q3331x0x0xxxx00
SG-9001JC: Q3331x1x1xxxx00



Actual size

SG-9001LB	SG-9001CA	SG-9001JC
		

Pasti Veriloga

V uvodu mnogih Verilog “tutorialov” piše: če znate kak programski jezik, se boste zlahka naučili Veriloga. TO JE LAZ. Znanje programiranja je prej ovira kot pomoč pri učenju Veriloga (ali VHDLja..)

Podobnost s programskimi jeziki človeka pogosto zapelje, da misli, da programira (piše zaporedje ukazov, ki se bodo izvajali po vrsti). Tu pa ne programiramo, ampak “vezemo zice”, vse pa se dogaja istocasno. Če hočemo, da se bo kaj dogajalo po vrsti, moramo eksplicitno narediti končni avtomat ali pa procesorsko jedro.

Synthesizable vs Non-synthesizable code:

Cip lahko napolnimo samo s “sintezabilno” kodo. Mnogi Verilog “tutoriali” pa predpostavljajo samo delo s simulatorjem, in ne dajejo poudarka sintezabilnosti napisane kode.

Pasti Veriloga

Predznak

Pri procesiranju signalov ponavadi delamo s predznacenimi stevili (dvojiski komplement). V C-ju so spremenljivke po defaultu signed (imajo predznak), v Verilogu pa unsigned (brez predznaka). Če pri kaki deklaraciji pozabis napisati "signed", so simptomi lahko zelo cudni, in je napako tezko najti.

Combinatorial vs Sequential blocks (always@(x) / always@(posedge(x)))

Razlicni nacini prirejanja vrednsti (blocking = non-blocking <=), hitrost?

"Implied flipflops"

Vsak IF mora imeti svoj ELSE, sicer prevajalnik predpostavi flipflop (in jamra)

Xilinx core generator

XILINXova orodja za programabilno logiko vsebujejo tudi t.i. “core generator”, ki lahko prihrani OGROMNO dela s tem, da avtomatsko generira različne uporabne module, n. pr:

- kompleksni mnozilnik
- CIC decimator
- FIR sito
- FIFO
- itd.

Pri tem seveda optimalno izkoristi XILINX specifične hardware dodatke v FPGAju, kar v splošnem Verilogu ni enostavno.

Starejše verzije so znale narediti tudi splošen DDC (digitalni dolpretvornik), trenutne verzije pa zal samo DDCje po “telefonarskih” standardih (GSM, UMTS, LTE...)

Xilinx core generator

Documents View

Freq. Response

Frequency Response (Magnitude)

Magnitude (dB)

Normalized Frequency (x PI rad/sample)

Legend: Ideal (red), Quantized (gain corrected by factor of 12.041187 dB) (blue)

Set to Display : 1 Range: 1..1

Filter Analysis

Passband	Stop band
Range : 0.0 - 0.40	0.6 - 1.0
Min : -0.000584 dB	
Max : 0.000330 dB	-85.448225 dB
Ripple : 0.000914 dB	

FIR Compiler

xilinx.com:ip:fir_compiler:6.3

Component Name : fir

Filter Coefficients

Select Source : COE File

Coefficient Vector : 6,0,-4,-3,5,6,-6,-13,7,44,64,44,7,-13,-6,6,5,-3,-4,0,6

Coefficients File : /home/mc/fpga/projekti/FTDI/gir1/filter4.coe

Number of Coefficient Sets : 1 Range: 1..256

Number of Coefficients (per set) : 55

Use Reloadable Coefficients :

Filter Specification

Filter Type : Decimation

Inferred Coefficient Structure(s) : Half Band, Symmetric or Non Symmetric

Rate Change Type : Integer

Interpolation Rate Value : 1 Range: 1..1

Decimation Rate Value : 2 Range: 2..1024

Zero Pack Factor : 1 Range: 1..1

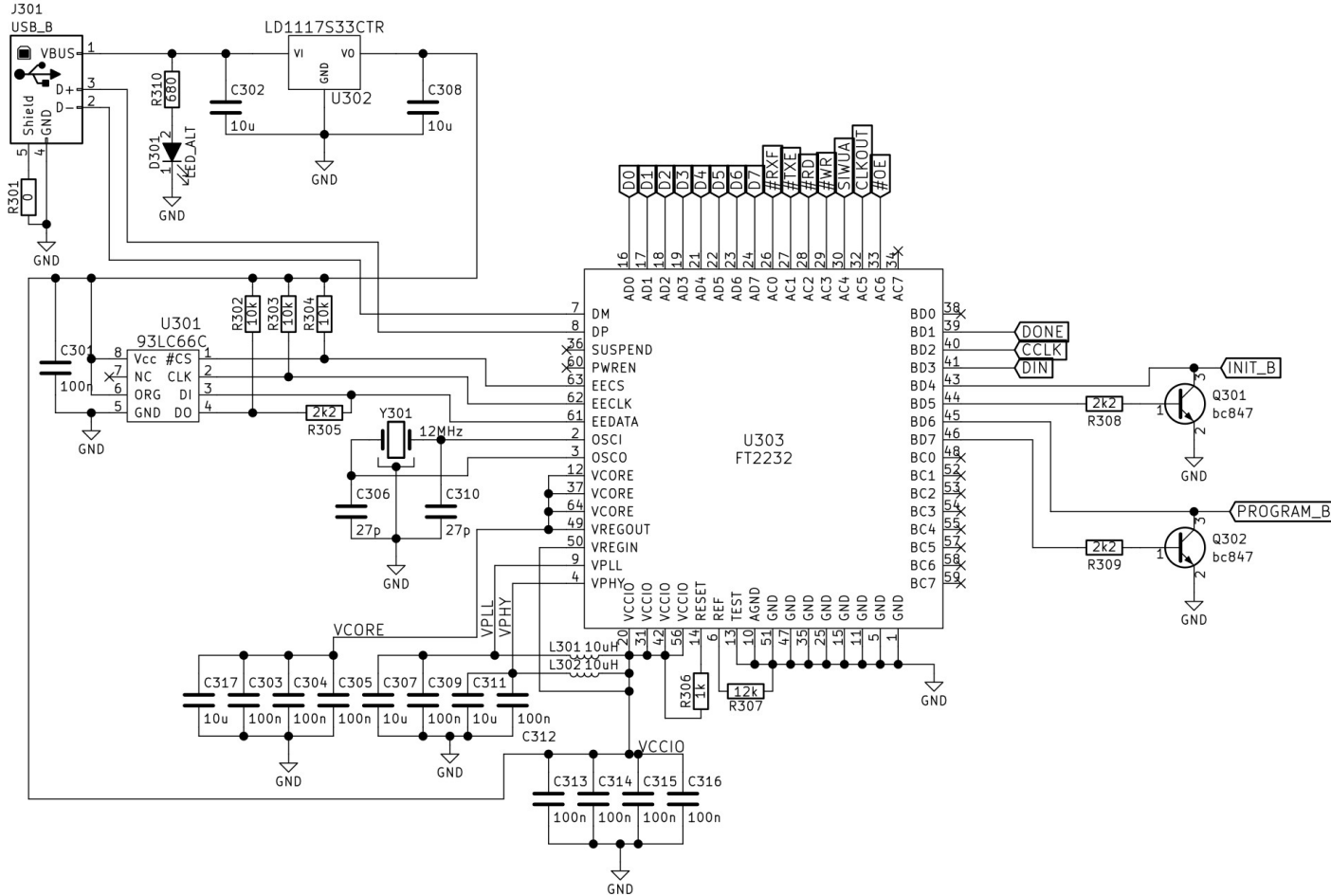
Page 1 of 6

Xilinx core generator

Uporaba generiranih modulov

```
cicl cic_re (  
    .aclk(clk), // ura  
    .s_axis_data_tdata(re), // vhodni podatki  
    .s_axis_data_tvalid(1'b1), // vhod veljaven  
    .s_axis_data_tready(ready2), // vhod ready  
    .m_axis_data_tdata(re_f1), // izhodni podatki  
    .m_axis_data_tvalid(valid2) // izhod ready  
);  
  
fir fir_re (  
    .aclk(clk), // input aclk  
    .s_axis_data_tvalid(valid1), // vhod veljaven  
    .s_axis_data_tready(tready1), // vhod ready  
    .s_axis_data_tdata(re_f1), // vhodni podatki  
    .m_axis_data_tvalid(fvalid1), // izhod veljaven  
    .m_axis_data_tdata(re_f2) // izhodni podatki  
);
```

SISA-1 hardware: USB vmesnik

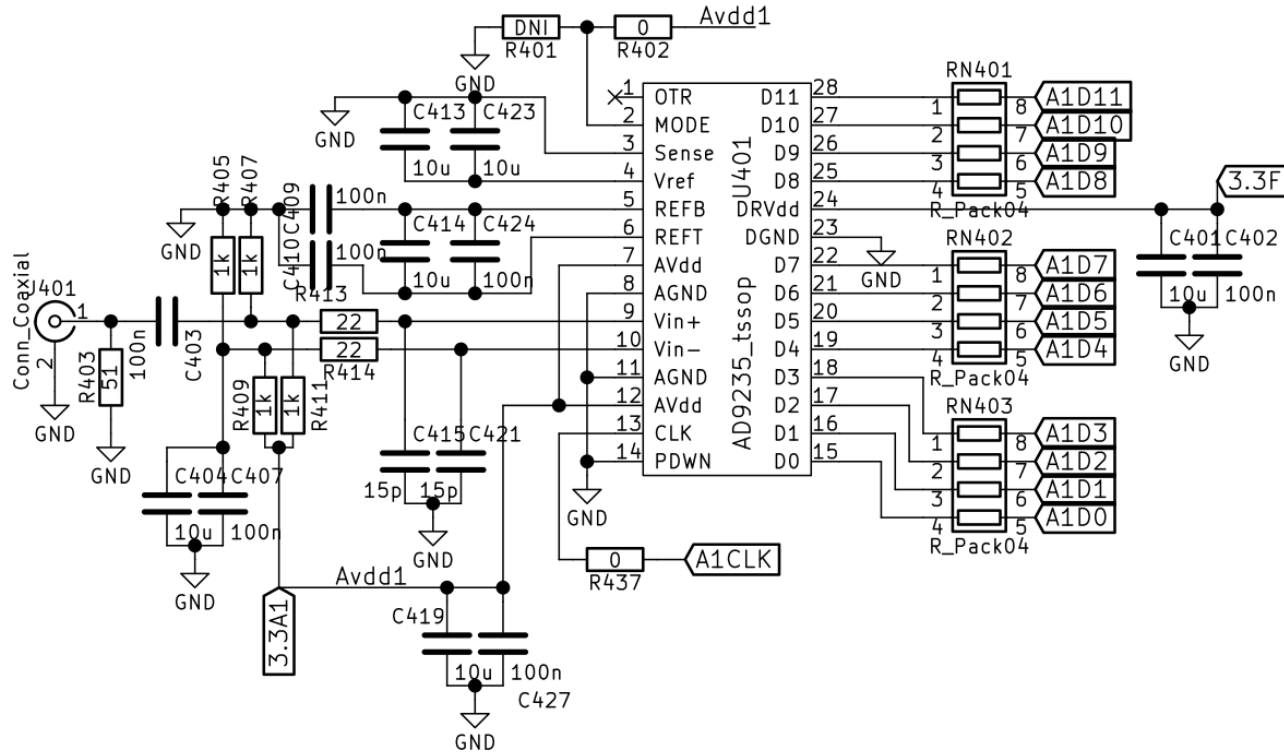


Posiljanje konfiguracije na FPGA preko FT2232 cipa

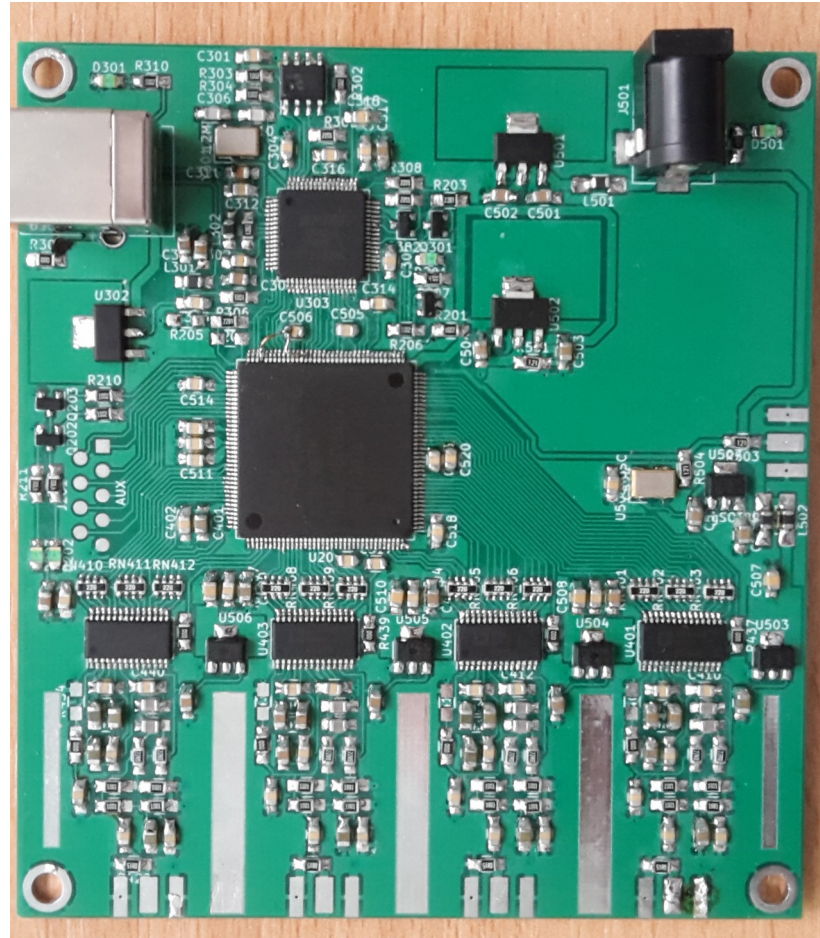
```
//-----  
//bitom FPGA bitstreama iz fileta doda kontrolne bite (clock...)  
//iz vsakega bita (plus spreadaj/zadaj) naredi byte in da v buffer  
//n = bytes  
int naredi_stream(unsigned char *buffer, int *n, char *filn)  
{  
    unsigned char bitstream[2097152];  
    int i,j,bi,bit,nread,nbytes;  
    FILE *fin;  
  
    fin=fopen(filn,"r");  
    i=0;  
    do  
        nread=fread(&bitstream[i++],1,1,fin);  
    while (nread == 1);  
    fclose(fin);  
    nbytes = i-1;  
  
    bi=0;  
    for (i=0;i<nbytes;i++)  
        for (j=0;j<8;j++)  
            {  
                bit = (bitstream[i] >> (7-j)) & 0x01;  
                buffer[bi++] = 0x00 + (bit << 3); //data + clk dol  
                buffer[bi++] = 0x04 + (bit << 3); //data + clk gor  
            }  
    *n=bi;  
    return 0;  
}
```

```
//-----  
//poslje buffer, ki ga je napisal naredi_stream() na FPGA  
//FT2232 must be in bitbang mode  
int poslji_stream(libusb_device_handle *handle, int endpoint, unsigned  
char *buffer, int n, int timeout)  
{  
    int i,er[16],bytes;  
    unsigned char obuf[16],ibuf[16];  
  
    //reset FPGA  
    obuf[0] = 0x00; //INIT_B gor PROGRAM_B gor, ostali dol  
    er[9]=libusb_bulk_transfer(handle, endpoint, obuf, 1, &bytes, timeout);  
    obuf[0] = 0x80; //INIT_B gor PROGRAM_B dol, ostali dol  
    er[9]=libusb_bulk_transfer(handle, endpoint, obuf, 1, &bytes, timeout);  
    obuf[0] = 0x00; //INIT_B gor PROGRAM_B gor, ostali dol  
    er[9]=libusb_bulk_transfer(handle, endpoint, obuf, 1, &bytes, timeout);  
  
    usleep(5);  
  
    //Load configuration  
    er[9]=libusb_bulk_transfer(handle, endpoint, buffer, n, &bytes,  
    timeout);  
    printf("Poslal %d bytov\n",bytes);  
  
    return er[9];  
}
```

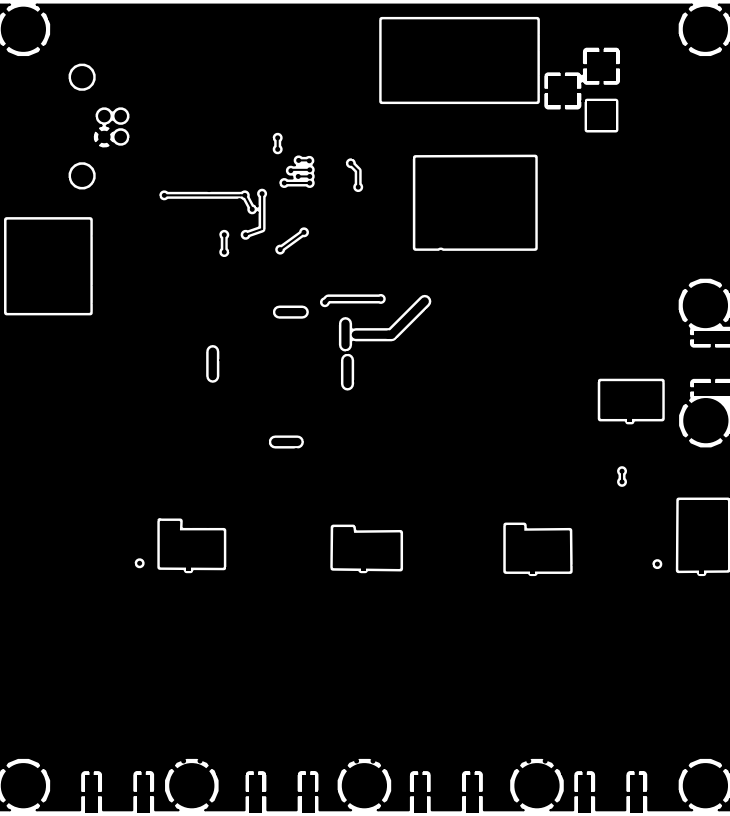
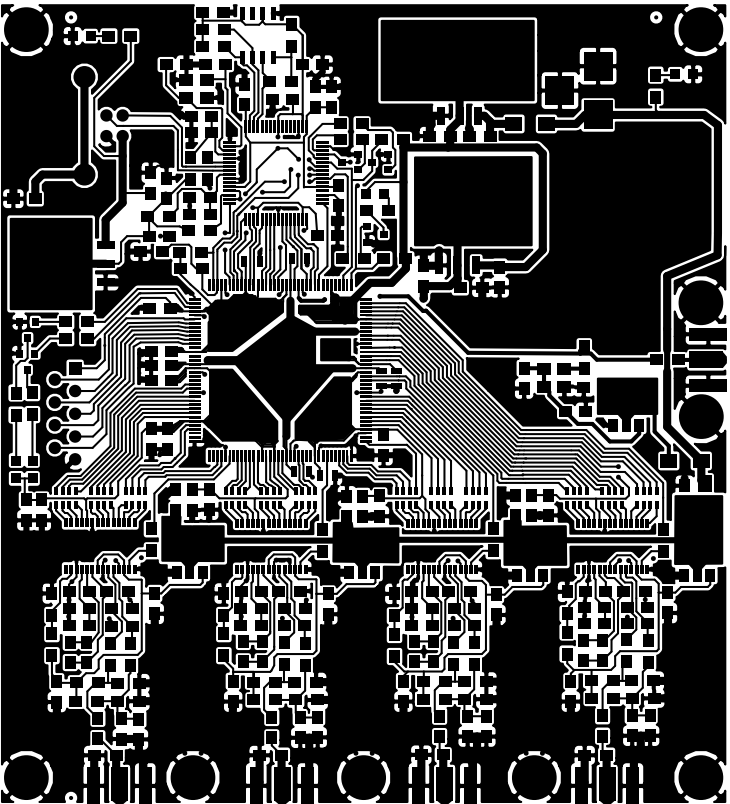
SISA-1 hardware: A/D pretvorniki



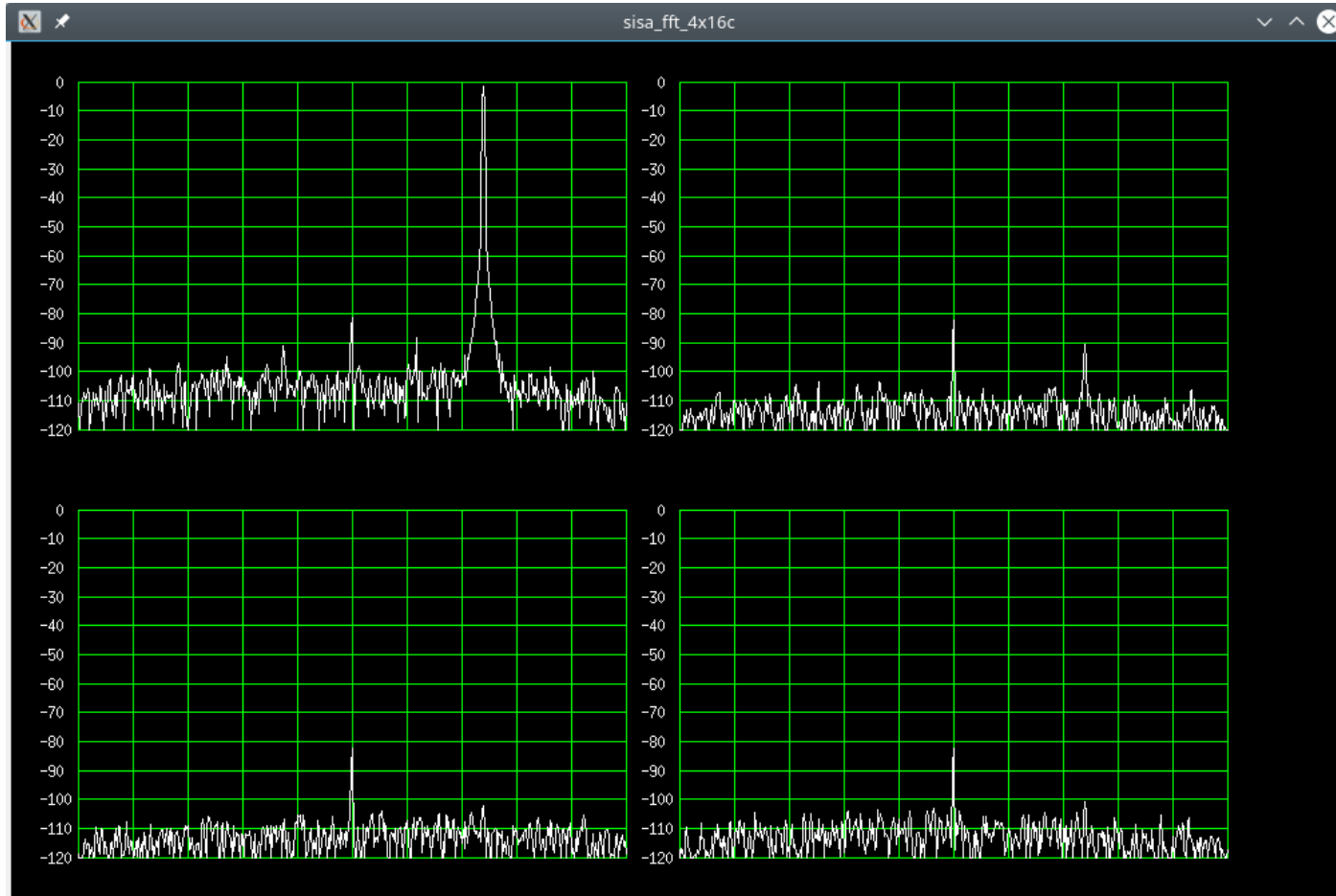
SISA-1 hardware



SISA-1 hardware

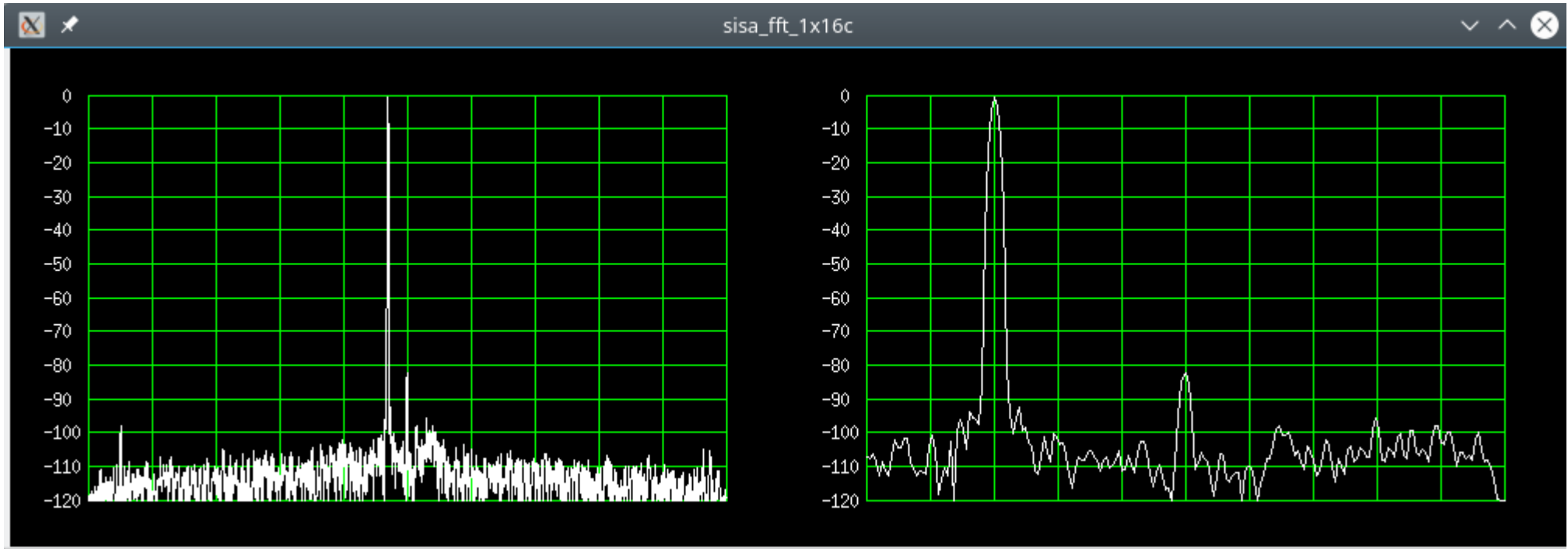


SISA-1 - rezultat



Vzorčenje 64MHz
Decimacija 1:64
FFT 512 točk
cca 2kHz bini
Span 1MHz
Center 15MHz
Vhod +13dBm
15.235 MHz
Brez skatle

SISA-1 - rezultat



1MHz span

100kHz span

0dB na sliki je nivo nasicenja, cca +14dBm. Nivo suma pri -110 dB je cca -96dBm v 500Hz (1MHz vzorčenje, FFT 2048). To je cca 51dB nad 300K.