

## RX sintetizzato per i 2m

### Introduzione

In questo articolo ho intenzione di descrivere la progettazione di un sintetizzatore a PLL e come sua applicazione un ricevitore VHF a singola conversione per la FM a banda stretta. Il costo dei quarzi tagliati "su misura" è molto elevato e per ottenerli bisogna aspettare qualche mese. Facendo i conti ho constatato che per il prezzo di soli due o tre quarzi "su misura" si poteva costruire un moderno PLL. Impiegando integrati CMOS nella parte digitale si supera anche l'unico svantaggio dei sintetizzatori a PLL: l'elevato consumo di corrente.

Il cuore di un PLL è il comparatore di fase con la relativa rete passa-basso alla sua uscita. Da esso dipende la sicurezza dell'aggancio e la purezza del segnale generato. Per rendere più sicuro l'aggancio si può aumentare la frequenza di taglio della rete passa-basso. Così facendo però aumenta anche la quantità dei disturbi che vanno a modulare in frequenza il VCO. Progettando un PLL è perciò necessario scegliere il comparatore di fase più adatto per la singola applicazione e ottimizzare i valori della rete passa-basso. Per esempio, un demodulatore FM a PLL impiegherà un comparatore di fase ben diverso da quello impiegato in un sintetizzatore a PLL. Gli integrati comparatori di fase, esempi tipici sono il MC4044 (TTL) ed il CD4046 (CMOS), racchi

udono nello stesso "case" due comparatori differenti proprio per soddisfare le differenti esigenze delle varie applicazioni.

Nei sintetizzatori di frequenza si impiega generalmente il comparatore di fase "charge pump" (vedi fig.1.) nelle sue varie versioni più o meno raffinate. Oltre che nei due integrati menzionati questo tipo di comparatore viene impiegato nei circuiti MOS complessi che contengono dei sintetizzatori a PLL quasi completi; un esempio tipico è l'integrato S 187 della Siemens. Fig.2. spiega il funzionamento di questo tipo di comparatori di fase. Nel caso il VCO ritarda rispetto alla frequenza di riferimento, viene periodicamente chiuso l'interruttore "UP". Notate che il tempo di chiusura dell'interruttore è esattamente proporzionale al ritardo del VCO rispetto alla frequenza di riferimento. La tensione su  $C_1$  aumenta, diminuisce la capacità del varicap del VCO e la frequenza del VCO aumenta. Se il VCO anticipa, viene invece periodicamente chiuso l'interruttore "DOWN", scaricando il condensatore  $C_1$  e di conseguenza diminuisce la frequenza del VCO. La frequenza del VCO viene in questo modo aggiustata per adattarsi alla frequenza di riferimento. Quando i segnali del VCO e di riferimento sono perfettamente in fase, i due interruttori del comparatore di fase rimangono aperti, la tensione su  $C_1$  rimane costante visto che non è necessario correggere la frequenza del VCO. La caratteristica più significativa del comparatore di

fase a "charge pump" e che in stato di lock (segnali in fase) l'uscita rimane ad alta impedenza, non sono cioè presenti all'uscita dei segnali alla frequenza di riferimento o sue armoniche, le quali dovrebbero essere filtrate per non andare a modulare in frequenza il VCO. La progettazione della rete passa-basso risulta perciò notevolmente semplificata, in pratica si riduce alla determinazione dei valori di  $R_1$  e  $C_1$  che consentono il lock sicuro da qualsiasi condizione di partenza. La rete  $R_2C_2$  ha il compito di modificare la fase del segnale di correzione rendendo l'aggancio più stabile. Ogni PLL è in pratica un anello di controreazione. La stabilità di un sistema a controreazione dipende dalla fase del segnale di controreazione. Valutando bene i valori da assegnare alla rete  $R_2C_2$  si può migliorare notevolmente il tempo di assesto del PLL alla frequenza desiderata, inoltre si riduce il rumore FM del PLL.

### Il progetto del RX

Come media frequenza del RX ho scelto 9MHz, valore sufficientemente alto per non avere problemi con frequenze immagini in banda VHF, inoltre si possono realizzare per questa media frequenza filtri a quarzo con quarzi CB. Per semplificare l'impostazione della frequenza e consigliabile scegliere una cifra "rotonda" per il valore di FI, quindi 9.000MHz. Ho scartato la possibilità di fare il VCO del PLL diret

tamente in VHF, il divisore veloce avrebbe un consumo di corrente proibitivo ; inoltre non trovavo in commercio un integrato economico e reperibile e con il modulo di divisione desiderato. Percio il VCO del PLL funziona in gamma  $30 \div 40$  MHz , con uno stadio quadruplicatore si arriva nei 2m. La frequenza del VCO viene anche divisa per quattro da un TTL LS ; frequenze al di sotto di 10MHz possono essere comodamente maneggiate dai CMOS alimentati a 12V. Ho preferito la soluzione con integrati CMOS standard serie 4000. I MOS complessi che raggruppano gran parte delle funzioni del PLL in un unico integrato sono difficilmente reperibili, sono poco flessibili e richiedono per il funzionamento un quarzo "su misura". Considerato il costo di questi integrati la soluzione con integrati CMOS standard della serie 4000 e anche piu economica.

Il sintetizzatore e costruito su tre circuiti stampati. Sul primo trovano posto l'oscillatore quarzato ed il divisore fisso che generano la frequenza di riferimento e la parte digitale del comparatore di fase (fig.3). Come riferimento ho scelto un quarzo da 4000 MHz, fatto oscillare da un 4007. Questi quarzi vengono impiegati nei PLL dei televisori con la sintonia digitale, percio sono reperibili ad un prezzo interessante. Il 4020 divide la frequenza dell'oscillatore per 256 per ottenere 15625 Hz. Il 4518 divide questa frequenza per 20 per ottenere 781.25 Hz , che e la frequenza di riferimen

to. Perché una cifra tanto strana? La frequenza di riferimento determina la spaziatura minima delle frequenze ottenibili dal sintetizzatore. Considerando che la frequenza del VCO viene divisa per 4 prima del divisore a modulo variabile, la spaziatura delle frequenze ottenibili sarà di quattro volte 781.25Hz, cioè 3125Hz. Nel ricevitore viene utilizzata la quarta armonica del VCO, perciò anche la spaziatura tra i canali sarà quattro volte 3125Hz ovvero 12.5kHz.

La funzione del comparatore di fase è realizzata con due doppi flip-flop 4027 ed alcuni diodi, questa soluzione è più economica dei comparatori di fase reperibili sul mercato (MC4044, CD4046). I primi due flip-flop (primo 4027) servono soltanto a portare il duty cycle dei segnali a 50%. Il secondo 4027 funge da comparatore di fase. Gli ingressi JK dei due flip-flop sono collegati in modo che i due flip-flop passano allo stato logico 1 quando ricevono un impulso di clock. Il segnale di riferimento dà il clock al FF UP ed il reset al FF DOWN. Il segnale diviso del VCO dà invece il clock al FF DOWN ed il reset al FF UP. Le uscite dei flip-flop UP e DOWN potrebbero pilotare direttamente i due interruttori elettronici (vedi introduzione, fig.1.) Poiché la tensione d'alimentazione dei CMOS è di 12V, la soluzione è ancora più semplice; bastano due diodi (fig.4.) collegati alle uscite UP e  $\overline{\text{DOWN}}$ . Ho preferito sistemare questi due diodi sulla basetta del VCO. L'

uscita del comparatore di fase e la rete RC passa-basso sono dei circuiti ad alta impedenza ed i disturbi eventualmente raccolti vanno direttamente a modulare in frequenza il VCO.

Al comparatore di fase ho aggiunto anche un indicatore di lock (fig.3., i due diodi, il transistor BC237 ed il led). Gli impulsi UP e DOWN fanno accendere il led. In stato di lock questi impulsi di correzione diventano molto stretti (in teoria scompaiono, vedi introduzione, fig.2.) ed il led deve spegnersi. L'indicatore di lock è risultato molto prezioso durante la sperimentazione e la taratura.

La tensione ottenuta all'uscita del comparatore di fase viene utilizzata oltre che per controllare il VCO anche per la sintonia del front-end, nel caso si desidera ricevere una gamma più larga di  $5 \div 6$  MHz.

Nel VCO ho impiegato un transistor PNP BSX29 in modo da poter collegare comodamente a massa la bobina  $L_1$ . I valori delle resistenze di polarizzazione del transistor oscillatore sono stati scelti in modo da avere una bassa tensione RF sul circuito accordato LC, requisito necessario a causa della sintonia a varicap. Al VCO sono collegati due stadi separatori: un emitter follower che fornisce il segnale al front end del RX ed un amplificatore emettitore a massa a due transistori che porta il segnale a livello TTL. La frequenza del VCO viene divisa per 4 dal doppio flip-flop 74LS113. All'uscita è richiesto un trasla

tore di livello per pilotare il divisore programmabile con integrati CMOS alimentati a 12V. Il VCO, i stadi separatori ed il divisore 74LS113 sono alimentati con 5V stabilizzati dal 2N1711.

Il divisore programmabile è costruito con 6 integrati CMOS serie 4000 (vedi fig. 5.). La RCA produce un divisore programmabile CMOS 4059 che potrebbe sostituire questi 6 integrati. Questo integrato è però difficilmente reperibile e sembra che sia disponibile solo la versione A che non supera i  $6 \div 7$  MHz a 12V. Il cuore del divisore in fig. 5. è costituito dai 4 divisori programmabili 4029. Il 4027 ed il 4025 costituiscono la logica di presettaggio del divisore. Il primo 4029 (a sinistra) divide per 8 per ottenere i passi da 12.5 kHz. Il secondo 4029 divide per 10 - centinaia di kHz, il terzo 4029 per 10 - unità di MHz e l'ultimo 4029 per 16 - decine di MHz fino a 150 MHz. La frequenza desiderata viene impostata in codice BCD ai ingressi J dei 4029. Le resistenze "pull-down" da 100 k $\Omega$  permettono il pilotaggio diretto da commutatori tipo "con traves" (vedi anche fig. 8.). I 4029 contano indietro (U/5 e a massa). La logica di presettaggio, assai complessa, si è resa necessaria per compensare i ritardi causati dai 4029 collegati in cascata. Soltanto in questo modo si può ottenere un funzionamento sicuro e stabile alla massima frequenza ammessa dai singoli contatori. Non descrivo la progettazione ed il funzionamento dettagliato di questo divisore poiché sarebbe necessario lo spazio

di un articolo a parte. L'uscita del divisore programmabile va a pilotare il comparatore di fase (vedi fig.3).

Il front-end del RX (fig.6.) è in pratica lo stesso circuito già pubblicato su CQ 11/80 adattato alla situazione: è un circuito sicuro, senza sorprese. Il BFR99 funge da quadruplicatore del segnale del VCO. I cinque varicap sono controllati dalla stessa tensione che controlla il VCO.

La catena di media frequenza (fig.7.) si compone di un filtro a quarzo, un integrato amplificatore  $\mu A753$  ed un integrato amplificatore/limitatore/discriminatore S 041 P. Il filtro a quarzo è costruito con 4 quarzi CB, l'attenuazione fuori banda si aggira sui 40dB. I circuiti accordati ad alto Q  $L_8, L_{10}, L_{11}$  e  $L_{12}$  migliorano la reiezione dei segnali fuori gamma. L'integrato  $\mu A753$  contiene anche un stabilizzatore di tensione, il quale viene adoperato per alimentare il S 041 P. L'uscita audio del S 041 P dipende fortemente dalla tensione d'alimentazione, eventuali variazioni della tensione d'alimentazione del S 041 P potrebbero per esempio provocare problemi con il circuito dello squelch. Il discriminatore del S 041 P è stato concepito per la FM a banda larga (radiodiffusione), per impiegarlo come demodulatore FM a banda stretta era necessario modificare il circuito accordato del discriminatore. La soluzione più semplice è risultato l'accoppiamento tramite un link. Variando il numero delle spire del link si può facilmente variare



il Q e con esso la pendenza del discriminatore. Il condensatore da  $1nF$  tra i piedini 8 e 11 del 5041P a la sola funzione di disaccoppiamento RF. L'uscita audio e senza deenfasi, per la deenfasi il valore di questo condensatore dovrebbe aggirarsi tra 10 e 100 nF. I circuiti generalmente impiegati per lo squelch richiedono una uscita audio senza deenfasi, inoltre alcune trasmissioni in banda VHF non hanno preenfasi (per esempio le foto dai satelliti meteorologici in banda 137MHz).

Non pubblico i schemi dello squelch e della BF poiché questi circuiti dipendono strettamente dall'applicazione del ricevitore. Inoltre, schemi simili non mancano su nessuna rivista amatoriale.

### Dati e consigli per la costruzione

Il ricevitore e costruito su 5 circuiti stampati, vedi fig. 10. e fig. 11., che corrispondono ai schemi sulle fig. 3., 4., 5., 6. e 7.

La piastrina dell'oscillatore di riferimento e comparatore di fase e stata progettata per un uso universale. I collegamenti ai divisori 4020 e 4518 sono eseguiti con ponticelli di stagno. In questo modo si puo facilmente cambiare la frequenza di riferimento per una diversa spaziatura tra i canali oppure utilizzare un quarzo diverso. Qualche volta e necessario ritoccare il valore del condensatore da  $10pF$  in parallelo al quarzo se l'escursione del trimmer  $7 \div 35pF$

non è sufficiente per riportare la frequenza del quarzo al valore desiderato. Per pilotare il VCO si impiegano le uscite UP e DOWN. Le uscite UP e DOWN si impiegano solo nel caso se si dispone di un VCO con la caratteristica inversa, cioè all'aumentare della tensione di controllo cala la frequenza del VCO.

I componenti "delicati" del comparatore di fase sono montati sulla piastrina del VCO. Sperimentando ho ottenuto i seguenti valori ottimali per la rete RC:  $R_1 = 10\text{k}\Omega$ ,  $C_1 = 100\text{nF}$ ,  $R_2 = 150\text{k}\Omega$  e  $C_2 = 220\text{nF}$ . I valori comunque non sono critici, fate però attenzione ad impiegare componenti nuovi: i condensatori devono avere un buon isolamento considerate le impedenze in gioco.

In commercio si trovano anche varicap a capacità doppia (BB109), io ho però preferito due BB105 in parallelo per non avere problemi di allineamento del VCO col front-end. La bobina  $L_1$  del VCO deve avere una induttività sui  $500\text{nH}$ , in pratica sono 5 spire sul nucleo di una media frequenza giapponese per  $10.7\text{MHz}$ . Ho optato per questo tipo di supporti per bobine poiché sono gli unici reperibili con una certa regolarità. Il transistor che mi ha dato i risultati migliori nel VCO è il BSX 29, ho però sperimentato anche il BF324 ed il BFR 99 con risultati soddisfacenti. I transistori 1W8723 impiegati nei stadi separatori e traslatori di livello sono dei transistori switching assai veloci, hanno la  $f_T$  sui  $500\text{MHz}$ , per ciò non possono essere sostituiti con vari 2N708, 2N914, 1W8995 o altri di caratteristiche inferiori. Sostituti validi sono il 1W8907 (leggermente inferiore) ed il 2N2369 (leg-

germente migliore del 1W8723).

La frequenza massima che il divisore programmabile CMOS puo raggiungere dipende strettamente dalla forma d'onda della frequenza da dividere. Il componente che influisce di piu sulla forma d'onda e la resistenza da  $270\Omega$  in serie alla base del 1W8723 traslatore di livello TTL  $\rightarrow$  CMOS, il suo valore ottimale dipende dal transistor e CMOS usati (limiti  $100\Omega$  e  $680\Omega$ ).

La frequenza massima di conteggio pero dipende anche dai CMOS impiegati. I risultati migliori gli ho ottenuti con i CMOS della Fairchild(B), il contatore superava i 16MHz! a 12V. I CMOS della National(AeB) e della RCA(B) raggiungevano i 12MHz a 12V, i CMOS della Motorola(B) 11MHz a 12V di alimentazione. Non sono invece utilizzabili i vecchi CMOS della serie A che generalmente non superano i  $5\div 6$  MHz. Devo pero aggiungere che ho fatto delle prove soltanto con un numero limitato di esemplari, percio non posso garantire che altri esemplari si comporteranno nello stesso modo. Sarebbe anche interessante provare i CMOS di altre ditte, per esempio i velocissimi LOCMOS della Valvo. Infine non basta che il primo 4029 sia veloce, tutti e sei gli integrati del divisore programmabile devono essere sufficientemente veloci.

La corrente nei transistori MOS cala all'aumentare della temperatura (a temperature ambientali), percio i tempi di propagazione delle porte CMOS aumentano e cala la massima frequenza raggiungibile dai contatori. Percio se si

prevede il funzionamento dei circuiti CMOS alle alte temperature, per esempio riscaldati da eventuali componenti di potenza montati nelle vicinanze, e necessario tenere conto della degradazione delle loro caratteristiche.

Non è vero che i CMOS siano più sensibili alle cariche statiche dei altri semiconduttori e non è vero neanche che i CMOS siano sensibili al calore del saldatore. Ho saldato centinaia di CMOS come i normali TTL (e dis saldato dalle "schede" surplus) ed alla fine ho trovato più integrati TTL difettosi che non integrati CMOS. Tutti coloro che parlano della delicatezza dei CMOS farebbero perciò molto meglio a fare qualche esperimento pratico prima di scrivere fiumi di parole sulla fragilità dei CMOS sulle riviste amatoriali. Per esperienze personali sconsiglio l'impiego di zoccoli per integrati: le capacità ed induttività parassite dei zoccoli diminuiscono la massima frequenza raggiungibile dai integrati, inoltre i zoccoli sono spesso causa di contatti falsi - difetti intermittenti molto difficili da localizzare!

Le tre piastrine del sintetizzatore sono alloggiato assieme ai commutatori d'impostazione della frequenza in una scatola metallica con funzione di schermo (fig.9). Tutti i collegamenti con il resto del ricevitore ad eccezione dell'uscita del VCO sono eseguiti tramite condensatori passanti da 1nF. In questo modo sono riuscito ad eliminare le frequenze spurie del ricevitore causate dalle armoniche dell'oscillatore quarzato di riferimen

to. È consigliabile anche filtrare l'alimentazione delle due basette del divisore programmabile e dell'oscillatore quarzato di riferimento tramite una VK 200. Attenzione alla capacità verso massa del collegamento uscita traslatore TTL → CMOS - ingresso divisore programmabile, e un collegamento RF ad alta impedenza!

Il front-end del ricevitore è uno schema ampiamente sperimentato, i valori dei componenti non sono critici. Il transistor preamplificatore RF BFW 92 può essere sostituito praticamente con qualsiasi NPN per impieghi in preamplificatori RF a larga banda, per esempio BFY 90, BFX 89, BFR 90, BFR 91, BFW 30 e tanti altri. Il mosfet mixer può essere un qualsiasi mosfet moderno: BF 900, BF 960 e simili. Nello stadio quadruplicatore è necessario un transistor PNP. Il BFR 99 è risultato il transistor che dà il rapporto prezzo/prestazioni migliore, comunque anche altri PNP per RF danno generalmente risultati soddisfacenti. I dati per le bobine RF autoportanti  $L_2, L_3, L_4, L_5$  e  $L_6$  per la gamma dei 2m sono gli stessi già pubblicati su CQ 11/80 cioè:  $L_2, L_3, L_4$  e  $L_5$  4 spire,  $L_2$  e  $L_3$  presa a 1 spira dal lato freddo,  $L_4$  presa a 1.5 spire lato massa;  $L_6$  5 spire, presa a 2 spire lato massa. Diametro interno 5mm per tutte, filo CuAg 1mm  $\varnothing$ .  $L_7$  a circa 700nH ed è avvolta su un supporto miniatura con nucleo variabile ma senza schermo.

Le bobine dei circuiti accordati di media frequenza:  $L_8, L_9, L_{10}, L_{11}, L_{12}$  e  $L_{13}$  hanno circa  $3.8\mu\text{H}$  e risuonano con 82 pF a 9MHz. Utilizzando i supporti per le medie

frequenze miniatura per 10,7MHz sono necessarie circa 14 spire.  $L_8, L_{10}, L_{11}$  e  $L_{12}$  hanno il link di due spire.  $L_9$  deve essere simmetrica e perciò bifilare.  $L_{13}$  a il link di 5 spire, dal numero delle spire di questo link dipende il Q del discriminatore. Il condensatore ceramico entrocontenuto nelle medie frequenze miniatura è costruito con del materiale ad elevato coefficiente termico e può andare bene per le radioline da quattro soldi, per impieghi seri e inutilizzabile. Perciò è necessario fare risuonare le medie frequenze con i condensatori esterni da 82pF. Per costruire bobine ad alto Q a 9MHz è necessario usare i supporti per 10,7MHz. La ferrite con la quale sono costruiti i nuclei per 455kHz a a 9MHz perdite elevate e non permette la costruzione di bobine ad alto Q.

La configurazione circuituale del filtro a quarzo è adatta per larghezze di banda tra 10kHz e 30kHz usando i quarzi CB a 9MHz. Per ricevere il traffico amatoriale in gamma 2m è consigliabile una larghezza di circa 15kHz. Per ricevere i satelliti meteorologici e invece necessaria una FI più larga, sui 25÷30kHz. I valori dei quarzi riportati in fig.7. danno una banda passante di circa 25kHz. Impiegando i quarzi CB è consigliabile controllare la loro frequenza di risonanza prima d'installarli nel filtro. Naturalmente nulla vieta d'impiegare un filtro a quarzo precostruito.

L'integrato  $\mu A753$  è piuttosto rumoroso. Tenendo conto anche delle perdite nel filtro a quarzo viene richiesto al front-end un guadagno considerevole per "mascherare"

la cifra di rumore della FI. Tenendo conto delle tolleranze ammesse per i semiconduttori impiegati nel front-end potrebbe essere necessario un ulteriore stadio amplificatore FI tra l'uscita del front-end ed il filtro a quarzo.

Agendo sul contatore programmabile è possibile impostare qualsiasi frequenza tra 50kHz e 159.987MHz. I circuiti accordati a varicap del VCO e del front-end limitano la gamma sintonizzabile a circa 25MHz attorno a 140MHz.

Daro un esempio di programmazione del contatore per ricevere la sola banda 144÷146MHz, spero che voi lettori saprete da questo esempio programmare da soli il contatore per le vostre esigenze. Per ricevere la gamma 144÷146MHz, media frequenza a 9MHz, è necessario per la conversione un segnale compreso tra 135 e 137MHz. Il contatore delle decine di MHz (il 4029 più a destra in fig.5.) verrà perciò sempre presettato sulla cifra 13 (130MHz), in binario 1101. Collegheremo perciò  $J_1, J_3$  e  $J_4$  del rispettivo 4029 a +12V,  $J_2$  va lasciato libero, la resistenza da 100k $\Omega$  lo tiene a massa. L'escursione del sintetizzatore sarà da 135.000MHz fino a 136.987MHz. Il contatore 4029 unità di MHz verrà perciò presettato su 5 o su 6, in binario 0101 e 0110 rispettivamente. Collegheremo perciò  $J_3$  a +12V,  $J_4$  va lasciato libero. Useremo un commutatore una via - due posizioni per dare i +12V a  $J_1$  oppure a  $J_2$  per ottenere rispettivamente le due sottogamme da 1MHz.

Per le centinaia di kHz possiamo impiegare un commutatore "contraves" collegato al rispettivo 4029 oppure

impiegare un normale commutatore una via - 10 posizioni collegato come in fig.8. Per i salti da 12.5kHz possiamo utilizzare la stessa soluzione che per le centinaia di kHz, purtroppo è però difficile trovare in commercio il contraves con la stampigliatura adatta. Notate che il contatore 4029 dei passi da 12.5kHz a solo 3 ingressi impiegati per il pre-settaggio. I passi di sintonia 0, 12.5, 25, 37.5 fino a 87.5kHz corrispondono rispettivamente in binario alle combinazioni 000, 001, 010, 011 fino a 111 da presentare ai ingressi  $J_3$ ,  $J_2$  e  $J_1$ . Anche qui si può impiegare il circuito di fig.8., naturalmente si impiega un commutatore a otto posizioni cancellando i collegamenti 8, 9 e  $J_4$  ed i rispettivi diodi. Per ricevere la sola gamma dei 144MHz non sono neanche necessari i varicap nel front-end, i circuiti vanno accordati una volta per tutte con i trimmer capacitivi. Anche nel VCO basta in questo caso un solo BB105 e non due in parallelo data la limitata escursione.

L'unica taratura che richiede un po di pazienza è l'allineamento del VCO con il front-end. Sulla frequenza del VCO si può influire sia col nucleo di  $L_1$  che col trimmer capacitivo. Agendo su entrambi si può aggiustare sia la frequenza centrale che la larghezza di banda coperta dal VCO. Non aggiungo altro sulla taratura. Chi mi a seguito fino a qui saprà sicuramente tarare i rimanenti circuiti del ricevitore. Spero anche sia chiaro a tutti che è necessario disporre di (e sapere usare)



un grid-dip meter e di un frequenzimetro digitale durante la costruzione e la taratura. Altri strumenti (oscilloscopio, generatore di segnali) possono anche essere utili, non sono però strettamente necessari.

Personalmente ho impiegato il ricevitore oltre che nella gamma radioamatoriale dei 2m anche per ricevere i satelliti meteorologici in banda 137MHz e come media frequenza variabile per il Meteosat. Impiegando i stessi circuiti del sintetizzatore e del front-end ho anche costruito un ricetrasmittitore AM per la banda aeronautica 118÷136MHz. Nei ricetrasmittitori si usa un solo PLL commutando la frequenza impostata quando si passa dalla ricezione alla trasmissione e viceversa. Non è possibile modulare in frequenza il VCO del PLL. Per ottenere la FM è necessario modulare in fase il segnale proveniente dal VCO ed inviarlo ad una catena di stadi moltiplicatori per ottenere la deviazione richiesta.

Scrivendo questo articolo ho presupposto che i principi di funzionamento di un sintetizzatore a PLL siano ormai noti a tutti, inoltre CQ-elettronica ha pubblicato già numerosi articoli sull'argomento. Per eventuali chiarimenti sono comunque a vostra disposizione.

Nidmar Matjaz

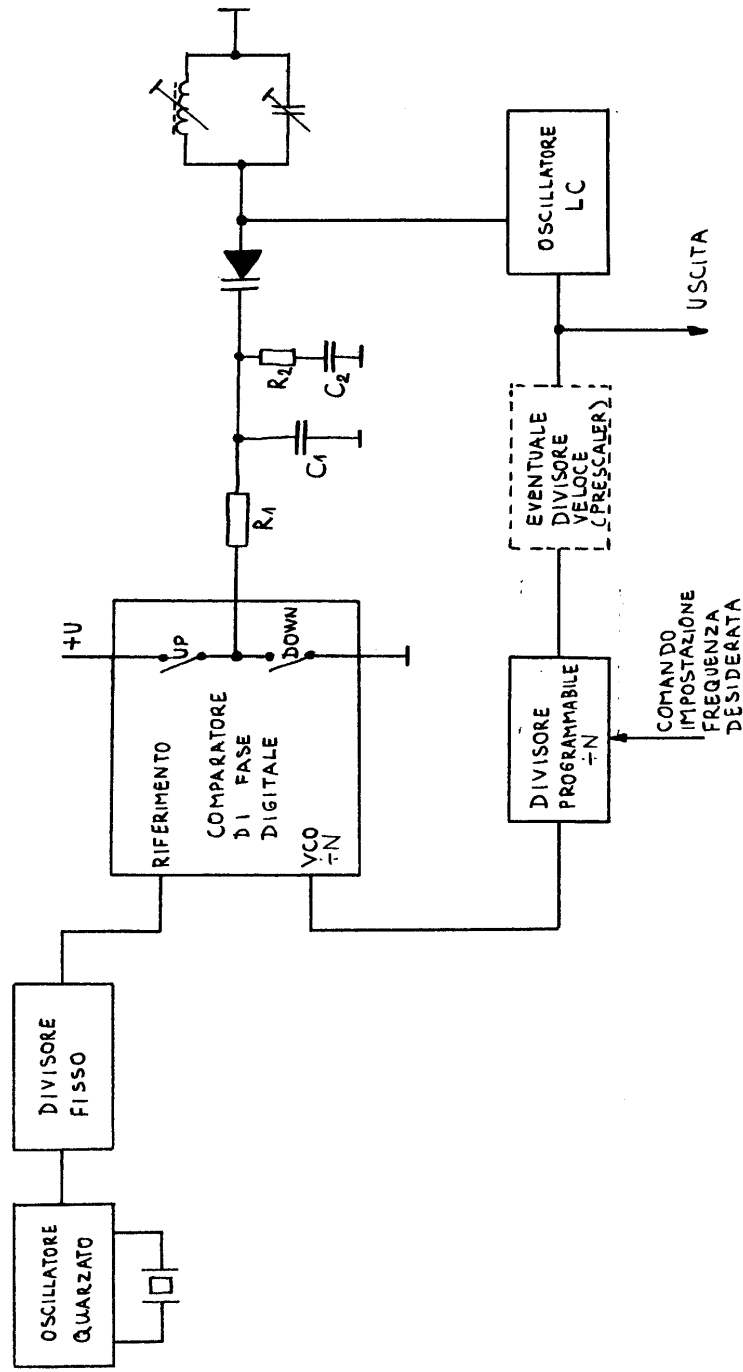


Fig. 1. - Schema a blocchi di un PLL con un comparatore di fase "charge-pump"

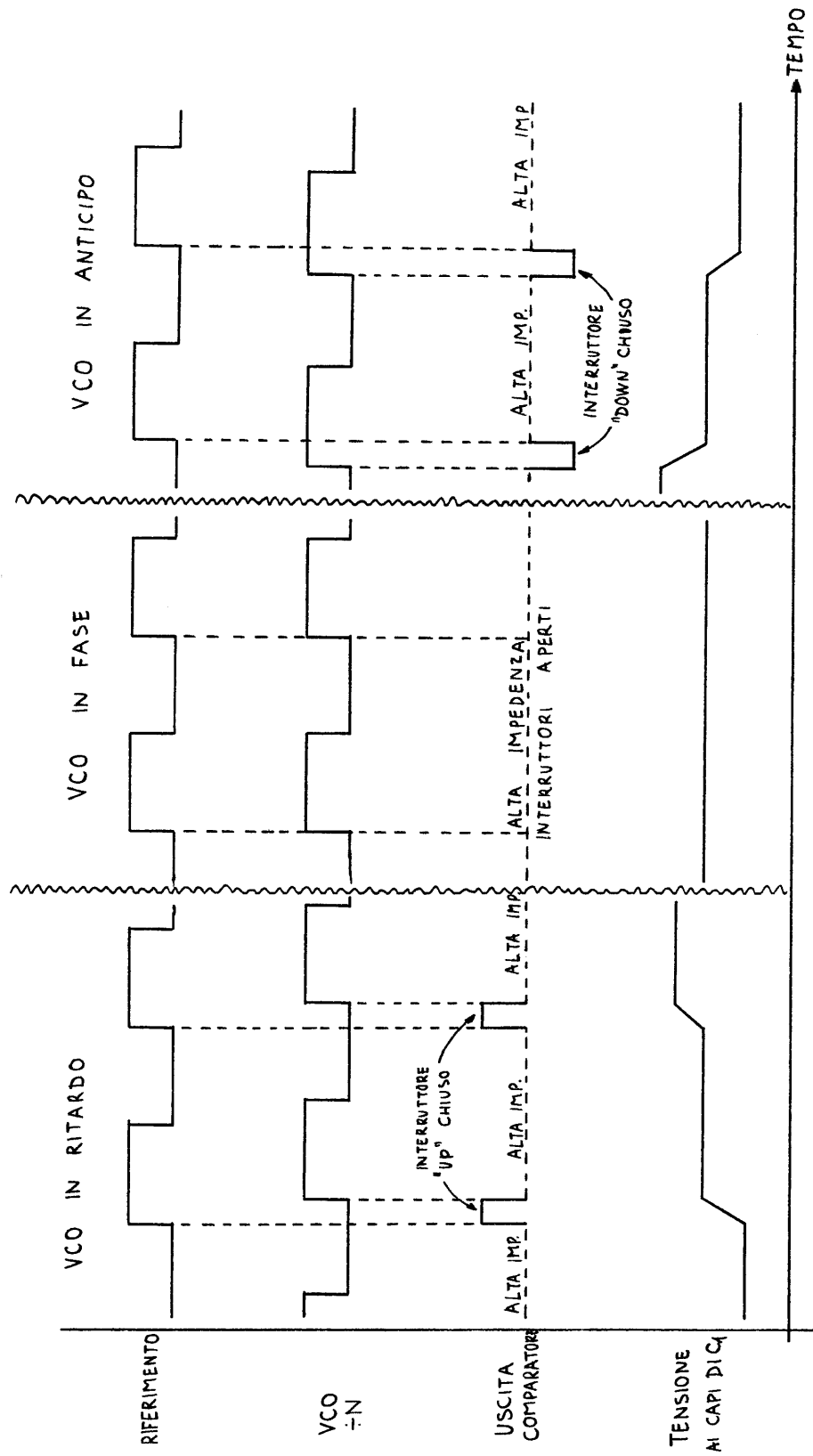


Fig. 2. - Funzionamento del comparatore di fase "charge pump".

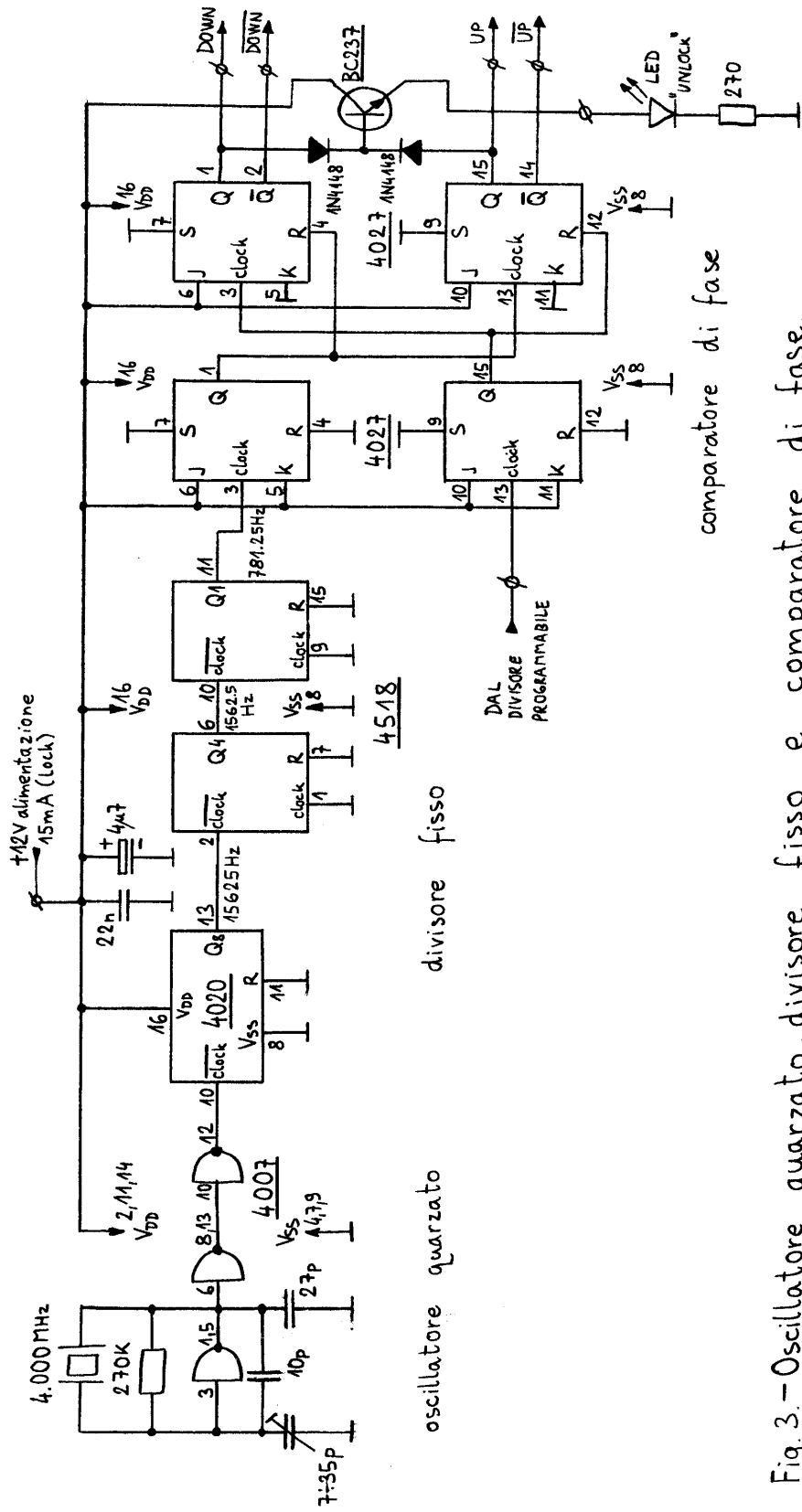


Fig. 3.- Oscillatore quarzato, divisore fisso e comparatore di fase.

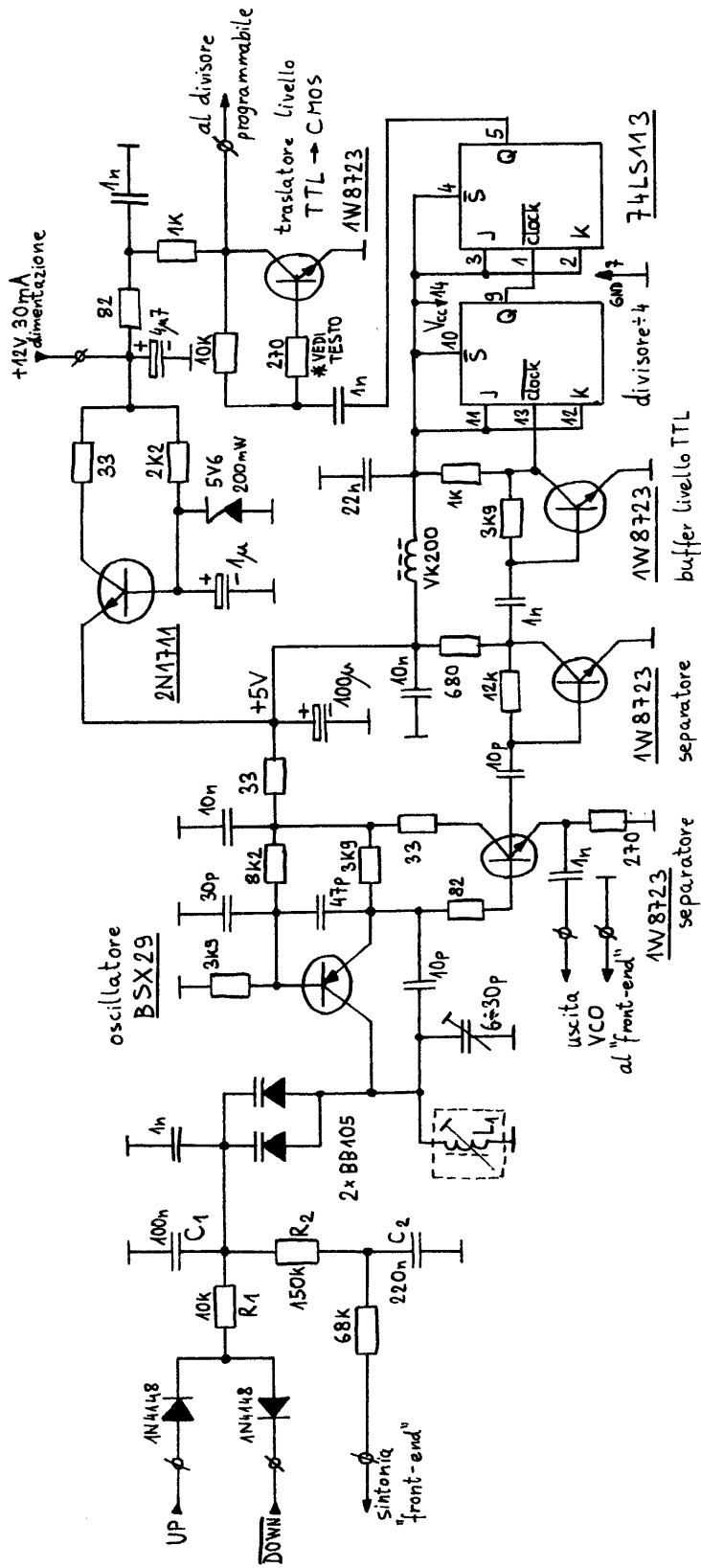


Fig.4:- VCO e divisore veloce ÷4.

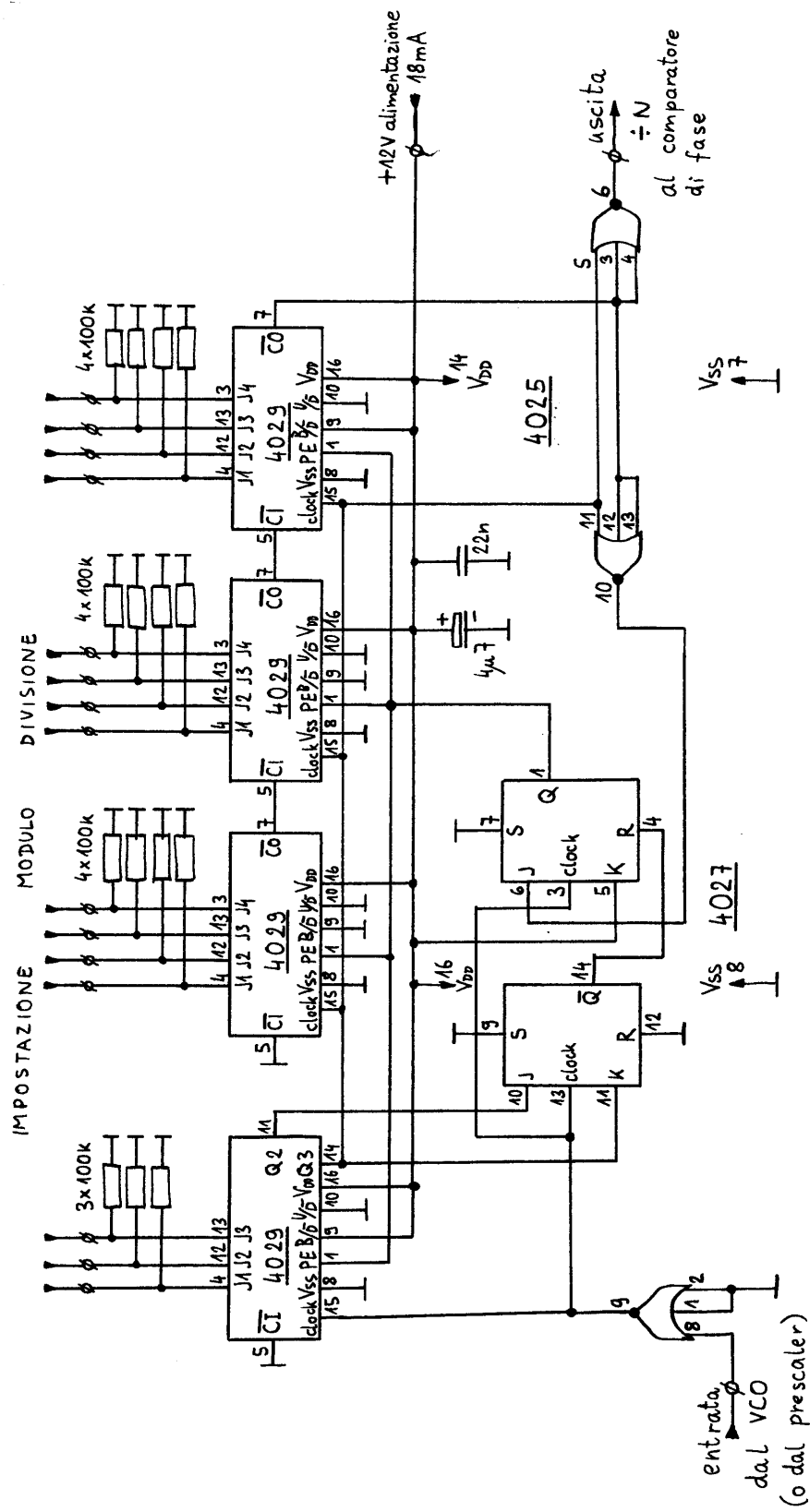


Fig. 5. - Divisore programmabile.

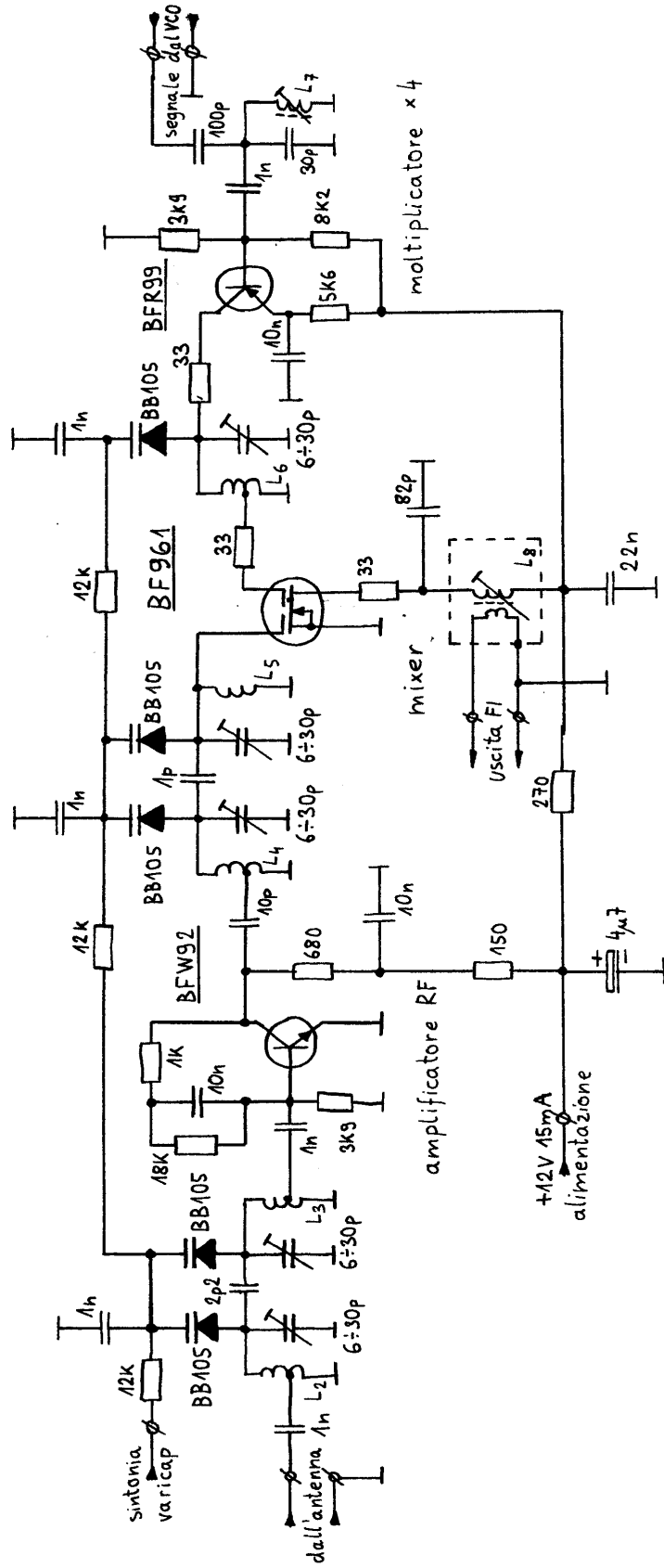


Fig. 6. - "Front-end" del ricevitore.

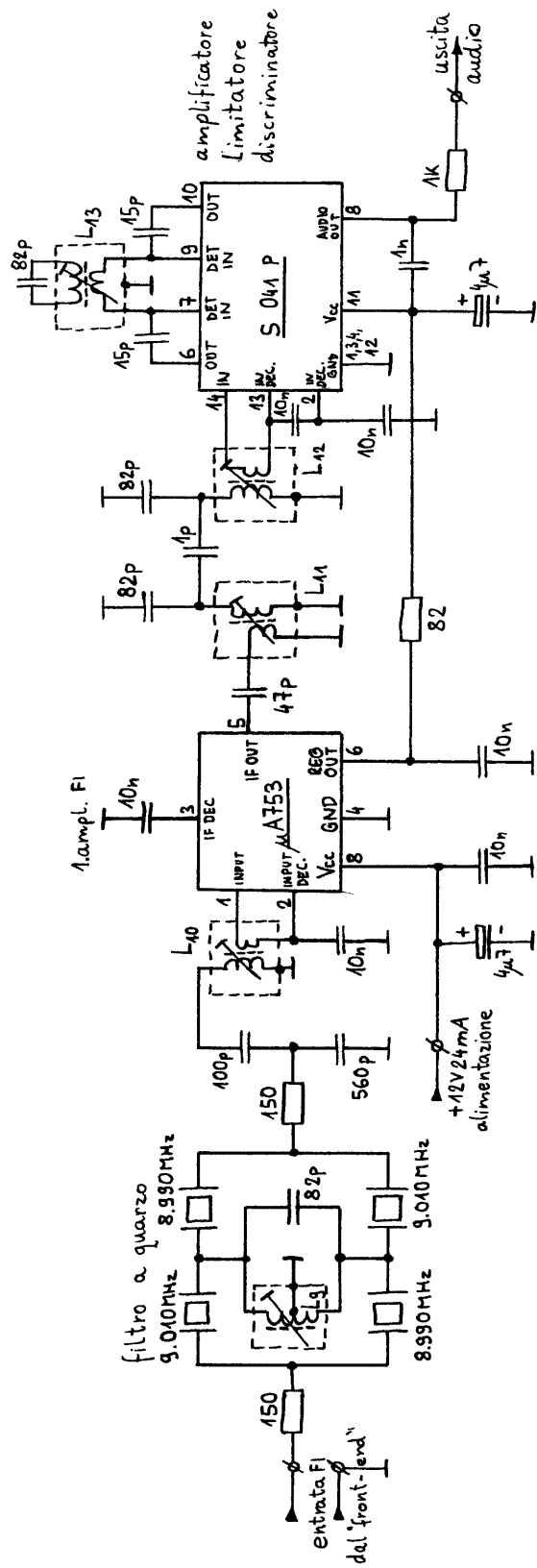


Fig.7. - Media frequenza del ricevitore.



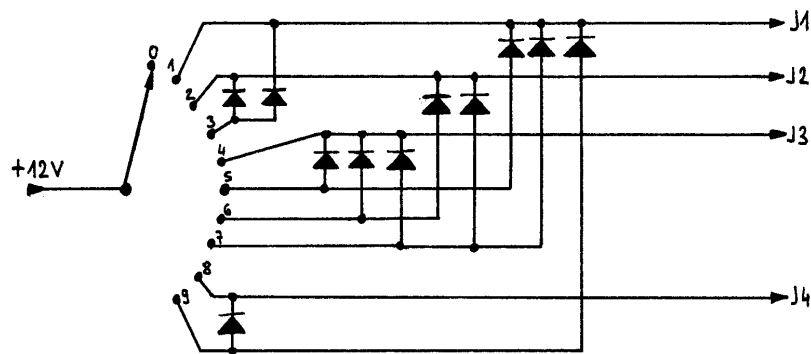


Fig.8.- Come sostituire un "contraves" con un commutatore normale.

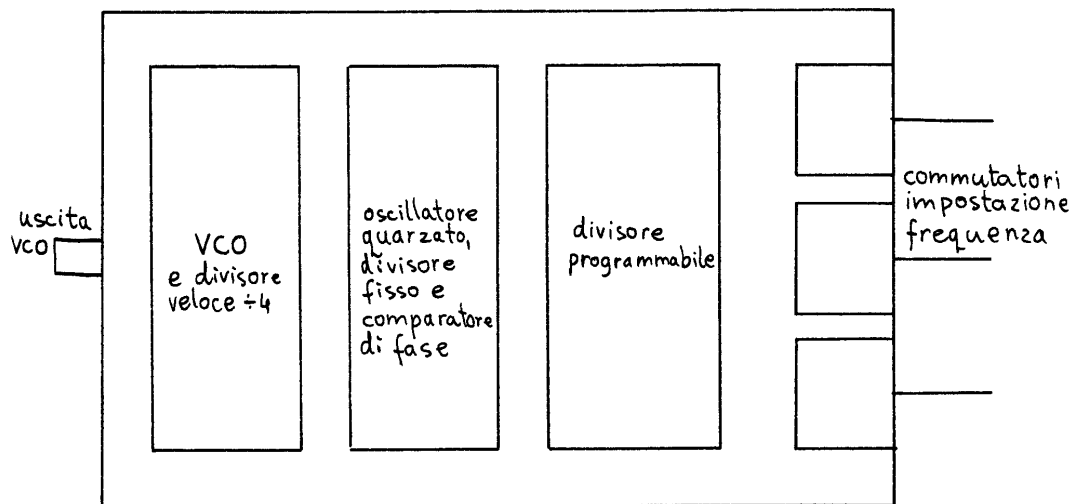


Fig.9.- Disposizione suggerita dentro la scatola dei componenti del PLL.

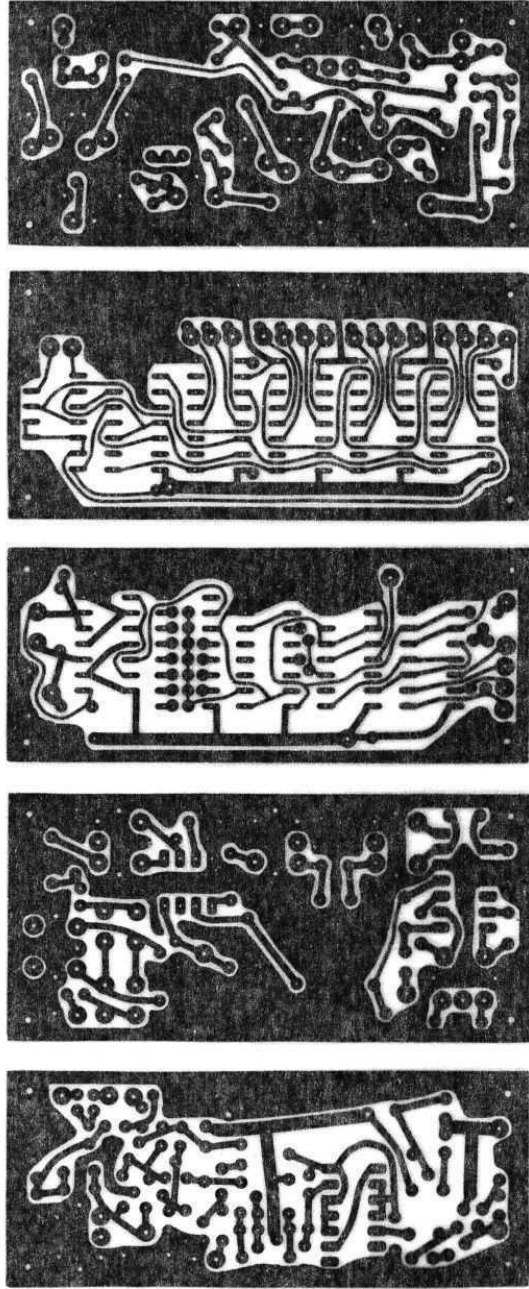


Fig.10.- Circuiti stampati , lato rame.

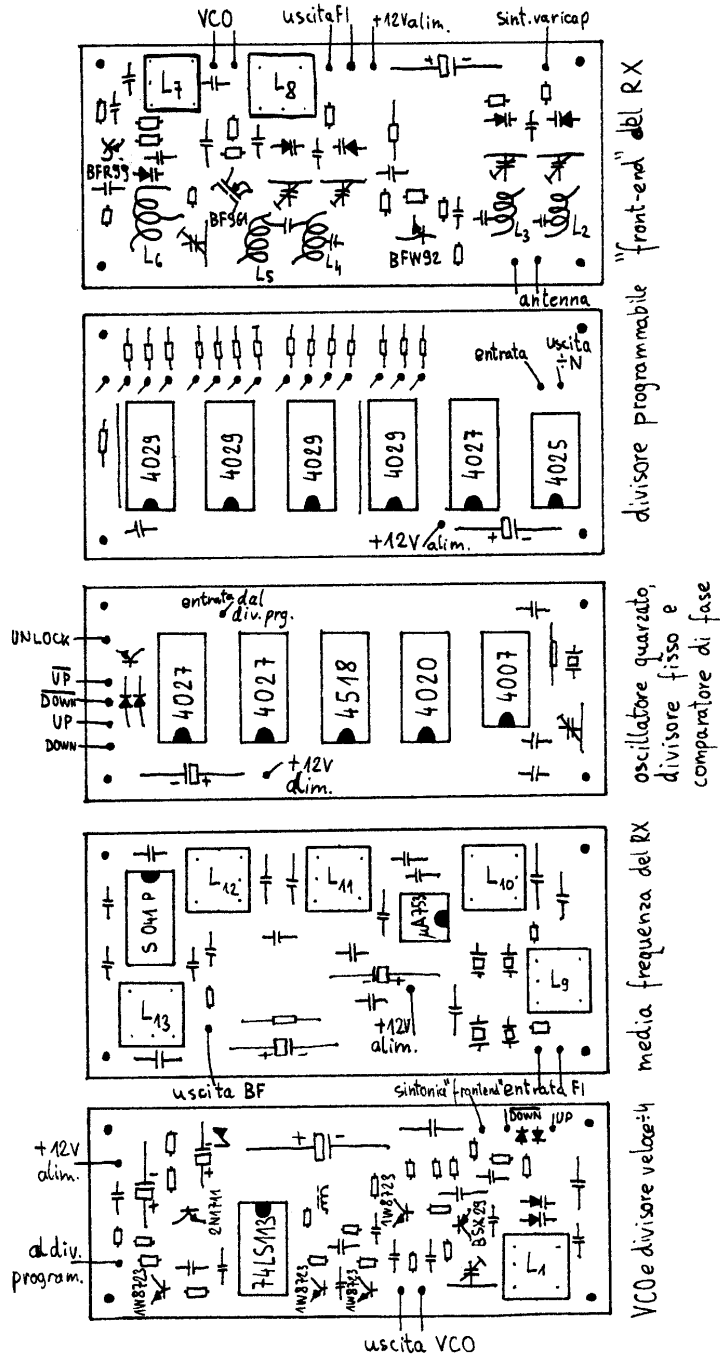


Fig. M. - Disposizione dei componenti sui circuiti stampati (vista lato componenti).

