

# APT scan converter

## Introduzione

In tutti i sistemi di trasmissione d'immagini a scansione lenta si presenta in fase di ricezione il problema di memorizzare l'immagine per renderla visibile all'occhio umano. Nella SSTV si impiegano speciali tubi catodici con fosfori a lunga persistenza, nel faximile si impiega la carta elettrosensibile oppure altri processi chimico-fotografici per la riproduzione dell'immagine. Con i stessi standard del faximile vengono trasmesse anche le immagini APT dai satelliti meteorologici nelle bande 137 MHz e 1.7 GHz.

Oggigiorno però l'elettronica ci offre una ulteriore alternativa: memorizzare l'informazione dell'immagine in una memoria digitale e poi rileggerla dalla memoria ad una velocità sufficientemente elevata, in modo da poter osservare l'immagine sullo schermo di un comune tubo catodico a corta persistenza. Il problema tecnologico più difficile da risolvere era la relativamente grande quantità d'informazione che doveva essere memorizzata. Per esempio, un'immagine di formato quadrato con 800 linee a 800 elementi d'immagine per linea, il che fa un totale di 640 000 elementi d'immagine. Per avere un sufficiente numero di livelli di grigio, ogni elemento d'immagine richiede 4 o 5 bit di memoria, il

che fa un totale di 2 560 000 o 3 200 000 bit. Sul mercato sono attualmente disponibili memorie RAM dinamiche da 16kbit a prezzi accessibili, i grandi produttori di computer però impiegano già RAM dinamiche da 64kbit. Per la SSTV sono inoltre già disponibili dei scan converter costruiti con le memorie dinamiche da 16kbit. Poiché le immagini SSTV hanno una bassa risoluzione geometrica: 120 linee per 120 elementi d'immagine per linea, bastano 4 o 5 memorie da 16kbit per memorizzare l'intera immagine.

L'apparecchio, che descriverò in questo articolo, è stato progettato per ricevere le foto APT inviate dai satelliti meteorologici. L'apparecchio impiega 6 RAM dinamiche 4116 da 16kbit. L'immagine viene memorizzata e riprodotta su di un monitor TV come un mosaico di 128 linee per 128 punti per linea con 64 livelli di grigio. Le immagini inviate dai satelliti hanno da 500 a 800 linee per un formato quadrato ed altrettanti punti per linea, perciò risulta chiaro che con questo apparecchio non si possono osservare immagini intere alla piena risoluzione geometrica. Si possono però riprodurre parti dell'immagine alla piena risoluzione oppure immagini intere a risoluzione ridotta.

Lo schema a blocchi dell'apparecchiatura ricevente è rappresentato in fig. 1. Il segnale RF proveniente dal satellite e una portante RF modu

lata in frequenza da una sottoportante audio a 2400Hz, che è a sua volta modulata in ampiezza dal segnale video. La larghezza di banda RF si aggira sui 30kHz. Il ricevitore è dotato di un discriminatore FM, alla sua uscita troviamo la sottoportante audio modulata in ampiezza. Questo segnale viene inviato ad un rivelatore AM per ottenere l'informazione video e ad un filtro-limitatore per ottenere i sincronismi. La frequenza della sottoportante, 2400Hz, è un riferimento preciso per i sincronismi, le frequenze di tutti i clock usati per scrivere l'informazione video nella memoria sono perciò multipli o sottomultipli di 2400Hz. La memoria è digitale ed è a celle discrete, perciò si deve provvedere prima alla campionatura (sampling) del segnale video e poi alla conversione dei campioni analogici in segnali digitali. L'informazione di una linea dell'immagine viene prima scritta in una memoria buffer. Nel momento più opportuno questa informazione viene poi copiata nella memoria principale di quadro. La scelta della velocità e modo di lettura della memoria principale di quadro è in principio completamente libera. Poiché il display video più diffuso è sicuramente il televisore o monitor TV, si sceglie una velocità di lettura compatibile con i standard TV. I dati letti dalla memoria vengono inviati ad un convertitore

digitale/analogico, vengono aggiunti anche i segnali di blanking (spegnimento ritraccia) e sincronismo. Il segnale video ottenuto può essere inviato ad un monitor TV oppure, tramite un modulatore, ad un normale televisore.

### Descrizione del circuito

Il circuito dell'APT scan converter è diviso logicamente e fisicamente in due gruppi: interfaccia APT sulla prima piastrina e memoria e generazione del segnale TV sulla seconda piastrina. L'interfaccia APT trasforma il segnale analogico proveniente dal satellite in un segnale digitale adatto ad essere scritto in una memoria digitale, inoltre estrae dal segnale del satellite i segnali di sincronismo (vedi fig.2). Il circuito sulla seconda piastrina, memoria e generazione del segnale TV (vedi fig.3), è il scan converter vero e proprio. Il circuito comprende la memoria buffer di linea, la memoria principale di quadro, tutti i circuiti per il pilotaggio delle memorie e per la generazione del segnale TV. Il circuito è stato studiato in modo da essere universale: con qualche leggera modifica, e costruendo un'apposita interfaccia, sarebbe possibile impiegarlo anche per la SSTV oppure come terminale grafico per microcomputer. Il circuito può interfacciare direttamente anche un'apparecchiatura per la rice-

zione delle immagini ad elevata risoluzione HRPT trasmesse in formato digitale dai satelliti meteorologici in banda 1.7GHz.

### Interfaccia APT

Dal segnale proveniente dal ricevitore dobbiamo estrarre due informazioni; il segnale video e la frequenza della sottoportante 2400Hz. Per ottenere il segnale video il segnale proveniente dal ricevitore va amplificato, rettificato e filtrato. Per ottenere i 2400Hz per i sincronismi il segnale va filtrato con un filtro passa-banda e limitato. I circuiti relativi a queste funzioni sono disegnati in fig.4. Il livello richiesto del segnale dal ricevitore si aggira su 1V<sub>pp</sub>, il circuito è stato infatti progettato per essere collegato direttamente all'uscita del discriminatore del ricevitore (TBA 120, CA3089 o altri integrati simili). Il potenziometro da 10k $\Omega$  lin serve per aggiustare il livello del segnale per poter utilizzare completamente la scala dei grigi disponibile del scan converter. Il primo 741 funziona da amplificatore con circa 20dB di guadagno. Il secondo 741 funziona da invertitore per pilotare il rettificatore ad onda intera con i due diodi 1N4148. Il demodulatore AM deve essere ad onda intera, se vogliamo ottenere la massima risoluzione, inoltre si semplifica il filtro passa-basso, poiché la frequenza da

attenuare a 4,8kHz invece di 2,4kHz, a patto che la simmetria del demodulatore AM è ben regolata (trimmer 10k $\Omega$  vicino al secondo 741). Il terzo 741 fa parte di un filtro passa-basso, la resistenza da 270 $\Omega$  limita la corrente d'uscita, se il livello del segnale eccede i limiti consentiti dal sample and hold (vedi fig.6.). Il livello del bianco corrisponde alla massima ampiezza della sottoportante a 2400Hz e quindi massima tensione all'uscita del rivelatore. Il livello del nero corrisponde invece alla minima ampiezza della sottoportante, che è generalmente da 4% a 5% dell'ampiezza del bianco. È utile avere un trimmer per fare coincidere il livello del nero con l'inizio della scala dei grigi.

Per ottenere i 2400Hz necessari per i sincronismi il segnale dal ricevitore va filtrato e limitato. Il filtro passa-banda è costituito da due filtri attivi praticamente identici. Come elementi attivi sono stati utilizzati dei invertitori CMOS, che funzionano molto bene in questa configurazione circuituale. Il loro guadagno è sufficiente per ottenere un Q molto elevato e le elevate impedenze d'entrata permettono una scelta molto elastica delle reti RC. Con questa configurazione circuituale non ci sono problemi di instabilità delle caratteristiche causata da piccole variazioni dei valori dei componenti, inoltre è relativamente facile, agendo su un solo componente, varia

re sia l'amplificazione che il  $Q$  del filtro. Su questa stessa rivista è stata pubblicata qualche anno fa una serie d'articoli sull'argomento. I condensatori da  $4\text{nF}$  devono essere possibilmente stiroflex ed in nessun caso ceramici. Il valore non è critico, possono essere anche da  $3,9\text{nF}$  o  $3,3\text{nF}$ , e però importante che siano stabili al variare della temperatura. I condensatori ceramici per queste capacità sono costruiti con del materiale ad elevato coefficiente termico e non sono utilizzabili. Uno dei problemi in fase di progettazione è determinare quale  $Q$  dovrebbero avere i filtri. Il problema è tenere la sincronizzazione anche durante i tratti neri dell'immagine, quando il livello della sottoportante è minimo e potrebbe perdersi nel rumore. Un  $Q$  elevato migliorerebbe il rapporto segnale/rumore, ma l'apparecchio sarebbe più sensibile sia alle variazioni dei parametri del filtro che alle variazioni della frequenza della sottoportante nel caso d'immagini registrate. Il  $Q$  del circuito, determinato dalle resistenze da  $270\text{k}\Omega$ , è stato quindi scelto come un compromesso. Nei filtri ho impiegato dei 4007, poiché questi sono sicuramente del tipo A o UB (anche quelli con la stampigliatura B). I CMOS del tipo B non sono utilizzabili nella regione lineare.

Il limitatore è costruito con un 741 che lavora senza controreazione. Bastano poche decine di mV all'ingresso per saturare lo stadio d'uscita del 741. Il par

titore resistivo all'uscita e l'interfaccia 741→CMOS. Il segnale ottenuto a 2400Hz controlla un PLL, con il quale otteniamo le frequenze necessarie per i clock. (vedi fig.5.) Il comparatore di fase è costruito con un 4011 collegato come una porta EX-OR. I stessi criteri che influenzano la scelta del Q del filtro passa-banda a 2400Hz, determinano anche i valori della rete RC passa basso del PLL. Il PLL deve agganciarsi anche quando la frequenza del segnale proveniente dal limitatore non è esattamente uguale alla frequenza del VCO, sia per la deriva termica del VCO, sia la frequenza della sottoportante non è esattamente 2400Hz (immagini registrate). L'emitter-follower con il BC237 permette una più facile scelta dei valori della rete RC. Il VCO è un multivibratore astabile con due BC237. I due BC213 funzionano da generatori di corrente variabili. I due diodi 1N4148 risolvono il problema dello stallo dell'astabile. Il VCO oscilla nominalmente a 38.4kHz, questa frequenza viene divisa per 16 dal contatore binario 4024 per ottenere i 2.4kHz per il comparatore di fase. Il 4024 può fornire al generatore dei clock le frequenze di 19.2kHz, 9.6kHz, 4.8kHz o 2.4kHz. Per la scelta dei condensatori che determinano la frequenza del VCO valgono i stessi criteri che per i condensatori del filtro passa-banda: possibilmente stiroflex, se non gli trovate da 360pF vanno bene anche da 330pF o da 270pF, ma non ce



ramici.

Il generatore dei clock (fig.6.) fornisce tutte le frequenze necessarie per il campionamento (sampling) del segnale video e la trascrizione dei dati dal convertitore A/D nella memoria buffer. Il generatore dei clock è composto da un divisore binario 4024 e da una logica di decodifica con un 4011. La frequenza di sampling è  $\frac{1}{8}$  della frequenza proveniente dal commutatore "risoluzione" e può essere 2400Hz, 1200Hz, 600Hz oppure 300Hz. Dalla frequenza di sampling dipende la risoluzione dell'immagine riprodotta. Poiché lo spettro del segnale video si estende dalla CC a circa 1600Hz sarebbe necessaria una frequenza di campionamento di almeno 3200 Hz (teorema di Nyquist) per riprodurre l'immagine alla piena risoluzione geometrica. Con una frequenza di sampling di 2400Hz si perde un po' in risoluzione orizzontale, però si semplificano notevolmente i circuiti. Il processo di campionamento è un processo non lineare, perciò si possono creare delle frequenze spurie dal battimento della frequenza di sampling e sue armoniche con le frequenze del segnale video. Particolarmente fastidioso è il battimento della frequenza di sampling (o sue armoniche!) con la sottoportante residua (2.4kHz o 4.8kHz) proveniente dal demodulatore AM. Se questo battimento produce delle frequenze inferiori alla frequenza di sampling, allora il distur-

bo si presentera sull'immagine riprodotta come delle linee chiare e scure verticali o diagonali. In ogni caso e percio necessario un buon filtro passa-basso prima del sample and hold. Se pero scegliamo per la frequenza di sampling 2400Hz o un sotto multiplo di questa frequenza, sincronizzato in frequenza e fase con la sottoportante, non esistono frequenze di battimento inferiori alla frequenza di sampling (tranne una componente CC, che pero non produce disturbi visibili). La sincronizzazione della frequenza di sampling con la sottoportante anche riduce considerevolmente i disturbi causati dalla non costante velocita del nastro del registratore nel caso d'immagini registrate.

L'interruttore per il campionamento e un 4007 collegato come una transmission gate. I due diodi 1N4148 limitano il segnale all'ingresso. (Il 4007 ha gia dei diodi interni nella stessa configurazione). L'impedenza d'ingresso del convertitore A/D ADC0804 e molto elevata, percio si puo collegare il condensatore di hold da 100nF direttamente all'ingresso +V dell'ADC0804. L'ADC0804 a due ingressi differenziali +V e -V, inoltre e disponibile la tensione sulla rete resistiva interna sul piedino  $V_{REF}$ . La resistenza da 680  $\Omega$  porta la  $V_{REF}$  a circa 1V, in questo modo il range delle tensioni applicate all'ingresso +V con -V a massa va da 0V a 2V circa. Tra i piedini clock in e clock out e connessa

internamente una porta schmitt-trigger, con la rete RC esterna oscilla a circa 750kHz e fornisce il clock per il funzionamento dell'A/D. Il tempo impiegato per la conversione si aggira sui 100 $\mu$ s e naturalmente dipende dalla frequenza del clock. Aumentando la frequenza oltre i 800kHz diminuisce la precisione dell'A/D. Il limite inferiore della frequenza del clock specificato dalla casa costruttrice è 100kHz, considerando però il tempo che si ha a disposizione per la conversione (vedi fig. 13), la frequenza del clock non deve essere inferiore a 700kHz circa. L'ingresso  $\overline{RD}$  abilita le uscite tri-state dell'ADC 0804. In questa applicazione vengono utilizzati soltanto i 6 bit più significativi dei 8 bit disponibili. Il multiplexer 4051 funge da convertitore parallelo/serie. Fig. 13. mostra l'andamento temporale dei segnali. Quando il segnale  $\overline{WR}$  è a livello basso, l'interruttore di campionamento è chiuso e la tensione sul condensatore di hold segue la tensione all'uscita del filtro passa-basso. Alla transizione a livello logico alto del segnale  $\overline{WR}$  l'interruttore del sampling si apre e inizia la conversione A/D nel ADC 0804. Completata la conversione, la parola digitale viene presentata in formato parallelo alle uscite dell'ADC 0804. In sincronismo con il bit clock vengono presentati all'uscita data i 6 bit più significativi, il bit più significativo per primo. Il bit più significativo è accompagnato anche da un'impulso del

word clock. I segnali data, bit clock e word clock devono pilotare anche alcuni ingressi TTL, perciò sono "bufferizzati" con il 4050.

Ai circuiti di scrittura nella memoria buffer di linea dobbiamo anche fornire l'informazione quando incominciare l'iscrizione d'una nuova linea: il line clock. Anche questa frequenza si ottiene con la divisione della frequenza del PLL. La velocità di trasmissione dei satelliti è di 240 linee al minuto per i satelliti del tipo Meteosat ed alcuni Meteor sovietici e di 120 linee al minuto per i satelliti del tipo Tiros N ed altri Meteor sovietici. A queste cifre corrispondono le frequenze di scansione orizzontale di 4Hz e di 2Hz rispettivamente. In passato i satelliti impiegavano anche i standard di 48 e di 20 linee al minuto, che però ormai non si usano più.

Come ho già spiegato nell'introduzione, non è possibile riprodurre con questo apparecchio l'immagine intera del satellite alla piena risoluzione, a causa della limitata capacità della memoria di quadro. È possibile però riprodurre una parte dell'immagine quasi alla piena risoluzione oppure l'intera immagine a risoluzione ridotta. Riproducendo una parte dell'immagine alla piena risoluzione geometrica si devono prendere i dati da ogni linea dell'immagine, la frequenza del line clock sarà in questo caso uguale alla frequenza orizzontale dell'imma-

gine. Riproducendo però l'immagine a risoluzione ridotta, per esempio a risoluzione dimezzata, dobbiamo scrivere nella memoria soltanto ogni seconda linea dell'immagine per ottenere il giusto rapporto altezza/larghezza dell'immagine. Riproducendo un'immagine a  $\frac{1}{4}$  della risoluzione originale (data la capacità della memoria si riproduce in questo modo circa l'immagine intera), si deve scrivere nella memoria soltanto ogni quarta linea dell'immagine. Da questi esempi si vede che riducendo la frequenza di sampling (che determina la risoluzione orizzontale) si deve ridurre anche la frequenza del line clock (per ridurre la risoluzione verticale). Il rapporto tra queste due frequenze deve invece rimanere costante (per un determinato satellite) per avere sempre il giusto rapporto altezza/larghezza dell'immagine. Il line clock viene perciò ottenuto con la divisione della frequenza di sampling. Per i satelliti Meteosat e Meteor a 2Hz e a 4Hz la frequenza di sampling deve essere divisa per 600, per i satelliti del tipo TirosN deve essere invece divisa per 1200 per ottenere un giusto rapporto altezza/larghezza. (vedi fig. 6., commutatore "formato immagine"). In fig. 7. sono disegnati i rimanenti stadi del divisore per il line clock (divisione per 300). Il doppio flipflop 4027 e meta del 4011 sono collegati in modo da formare un divisore programmabile che può dividere per 2, 3 o 4. In funzio-

namento normale il divisore divide per 3, i modi di divisione per 2 o per 4 sono attivati da due pulsanti per la sincronizzazione manuale orizzontale. Segue un divisore per 100 con un 4518.

Sulla prima piastrina, interfaccia APT, trova posto anche l'alimentatore per l'intero apparecchio (fig.8). L'alimentazione esterna è 12.6V nominali, il consumo è 600mA circa. Il diodo 1N5404 protegge l'apparecchio da inversioni di polarità, l'impedenza VK200 previene che i disturbi, generati dai circuiti digitali, possano raggiungere tramite l'alimentazione il ricevitore. Il 7805 necessita d'un adeguato dissipatore, dato il basso consumo non è però necessario alcun dissipatore per il 7905. Il 555 è collegato come astabile, rettificando la tensione alla sua uscita si ottengono le tensioni negative. Sulla prima piastrina è montato anche l'oscillatore a 1MHz con un 4007, che fornisce il clock per i sincronismi TV alla seconda piastrina. Nulla vieta di sostituire la bobina da  $90\mu\text{H}$  con un quarzo da 1MHz, si dovrebbe però diminuire i valori dei condensatori da 560pF e collegare in parallelo al quarzo una resistenza di qualche M $\Omega$ . I televisori ed i TV monitor richiedono una frequenza di linea piuttosto stabile, perciò è sconsigliabile impiegare per questi scopi oscillatori RC.

## Memoria e generazione del segnale TV

I segnali provenienti dall'interfaccia APT: data, bit clock, word clock e line clock, contengono tutte le informazioni necessarie: dove e cosa scrivere nella memoria principale di quadro. Poiché era relativamente difficile scrivere direttamente nella memoria di quadro senza disturbare la lettura e quindi l'immagine riprodotta sul TV monitor, ho impiegato una memoria buffer di linea. L'informazione di una linea viene prima scritta in questa memoria ausiliaria e poi, al momento opportuno, durante la ritraccia verticale TV, copiare questa informazione nella memoria principale di quadro. La logica di scrittura (vedi fig.9.) viene resettata dal livello alto del line clock. Quando il line clock passa a livello basso incomincia la scrittura dei dati nella memoria buffer 2102. Quando la 2102 è piena, la logica ignora i dati, che le vengono inviati dall'interfaccia APT. Nel primo seguente intervallo di ritraccia verticale TV, quando cioè la memoria principale non è occupata dalla lettura, il contenuto della 2102 viene copiato in una linea della memoria principale di quadro. Quando questa operazione è completata, la logica è pronta a ricevere un nuovo impulso del line clock per ripetere il ciclo.

Il ciclo di scrittura inizia con il livello alto del line clock, che dà il preset al contatore dei elemen

ti d'immagine di scrittura, composto dai due 4029 connessi in cascata. L'uscita Q4 del secondo 4029 va a 0. Questa uscita comanda, tramite un buffer, il multiplexer (i due 74157) e quando è a 0 logico, il multiplexer trasferisce il contenuto del contatore dei elementi d'immagine di scrittura ai address della 2102, inoltre abilita il conteggio di questo contatore ( $\overline{CI}$  del primo 4029 e collegato a Q4 del secondo 4029). Il word clock dà il reset al 4029 contatore dei bit (a destra su fig.9.). I dati, provenienti dall'interfaccia APT in formato serie, vengono sincronizzati dal latch ( $\frac{1}{2}$  74109) e scritti nella memoria 2102 in formato serie. La memoria 2102 è organizzata come 1024 celle da 1bit. Il bit clock fa avanzare il contatore dei bit 4029 in modo che i bit siano scritti in celle successive della 2102. Il 4029 contatore dei bit si blocca quando il conteggio raggiunge 8, poiché l'uscita Q4 è collegata al  $\overline{CI}$ . Anche il  $\overline{CS}$  della 2102 è collegato a Q4 e va a 1 logico, perciò i dati fino al successivo impulso del word clock vengono ignorati. (Quando il circuito viene impiegato assieme all'interfaccia APT, il contatore dei bit 4029 riceve l'impulso di reset esattamente quando dovrebbe raggiungere lo stato "8". La logica descritta può però tornare molto utile in altri impieghi, per esempio HRPT). L'impulso di word clock fa anche avanzare il contatore dei elementi d'immagine, perciò i nuovi dati della nuova parola



(nuovo elemento dell'immagine) saranno scritti in nuove locazioni della memoria 2102. Dopo 128 impulsi di word clock la memoria buffer è piena ed il suo contenuto può essere copiato nella memoria principale. L'uscita Q4 del secondo 4029 del contatore dei elementi d'immagine va a 1 logico e ferma il contatore in questo stato. Il multiplexer collega i address della 2102 in parallelo ai address orizzontali (HA1÷HA7) della memoria di quadro. Viene inoltre disabilitata la scrittura nella 2102. Il doppio flipflop 4027 sincronizza la trascrizione dei dati nella memoria di quadro con la ritraccia verticale (di quadro) TV. La prima metà del 4027 (a sinistra su fig.9.) riceve l'impulso di clock dall'uscita Q4 del secondo 4029 del contatore dei elementi d'immagine e la sua uscita Q va a livello logico 1. La seconda metà del 4027 copia il contenuto della prima metà quando riceve l'impulso di clock (VC) sincronizzato con la ritraccia verticale TV e da immediatamente il reset alla prima metà, inoltre fa avanzare il contatore delle linee di scrittura (fig.12) in modo da scrivere in una nuova linea della memoria di quadro. In questo momento a anche inizio il ciclo di trascrizione dalla memoria buffer nella memoria principale, che dura 8 linee TV. Il 4029 contatore dei bit è fatto avanzare dal clock di linea TV (HC), durante ogni linea (prime 6 linee delle 8 linee del ciclo) viene copiato nella memoria di quadro un bit di ogni elemento dell'immagine. Per primi vengono copiati i MSB di ogni elemento dell'immagi

ne nella prima memoria 4116 (vedi fig.10.), quando il segnale  $\overline{W1}$  è a livello logico basso. A  $\overline{W1}$  seguono i segnali  $\overline{W2}$ ,  $\overline{W3}$ ,  $\overline{W4}$ ,  $\overline{W5}$  e  $\overline{W6}$  che copiano i dati nelle rispettive memorie 4116. Data la "lentezza" della 2102, i dati alla sua uscita devono essere sincronizzati con un latch ( $\frac{1}{2}$  74109). In questo circuito si richiede dalla memoria 2102 un tempo d'accesso ai dati inferiore o uguale a 350 ns. Il ciclo finisce quando il 4029 contatore dei bit raggiunge lo stato "8" e dà il reset alla seconda metà del 4027. Raggiunto questo stato la logica di scrittura aspetta un nuovo impulso del line clock.

Il generatore di sincronismi TV (fig.11) si compone essenzialmente di un divisore e d'una logica di decodifica. Il 4020 divide la frequenza di 1MHz per ottenere la frequenza di linea TV (periodo  $64\mu s$ ), questa frequenza viene divisa ancora per 32 dal 4020 e poi per 10 dal 4029 per ottenere la frequenza verticale. Il quadro è perciò 320 linee invece di 312.5, però i televisori ed i monitor TV generalmente non sono molto sensibili alle variazioni della frequenza di quadro. Gli impulsi di sincronismo,  $5\mu s$  orizzontale e  $250\mu s$  verticale circa, sono ottenuti mediante reti RC e due porte NAND di un 4011. Un'altra porta NAND CMOS, una porta NAND TTL ( $\frac{1}{4}$  7400) ed il diodo 1N4148 costituiscono un monostabile che determina la posizione orizzontale del quadro utile. L'impulso da questo monostabi

Le fa partire l'oscillatore composto dai due monostabili del primo 9602. Questo oscillatore oscilla a circa 2.5 MHz (400 ns), il periodo si regola con il trimmer da  $10 \div 40$  pF, che regola la larghezza del quadro utile. L'oscillatore fornisce gli impulsi  $\overline{RAS}$  (row address strobe) per le memorie, inoltre pilota il secondo 9602. Il primo monostabile del secondo 9602 genera un ritardo di circa 70 ns, da il clock al latch ( $\frac{1}{2}$  74109), che sincronizza i dati provenienti dalla 2102 e pilota la seconda meta del 9602, che genera l'impulso di  $\overline{CAS}$ . La seconda meta del secondo 9602 fa anche avanzare il contatore dei elementi d'immagine (di lettura), composto dai due 74161 e pilota il multiplexer, composto dai due 74157. Logicamente il segnale  $\overline{CAS}$  (column address strobe) corrisponde al segnale  $\overline{CAS}$ , pero in pratica si devono compensare i ritardi introdotti dal multiplexer, perciò e necessario prelevare il segnale  $\overline{CAS}$  dal multiplexer e non direttamente dal monostabile. Dopo 128 cicli di lettura dalla memoria (128 elementi d'immagine di una linea) l'uscita Q4 del secondo 74161 va a livello logico 1 e l'oscillatore con il primo 9602 viene bloccato. Questo stato permane fino a quando non giunge un nuovo impulso d'inizio linea dal monostabile costruito con le due porte logiche ed il diodo, il quale da il reset al contatore dei elementi d'immagine con i due 74161 e fa partire di nuovo l'oscillatore composto dai due monostabili del primo 9602.

Le memorie dinamiche 4116 sono dei circuiti integrati assai complessi, perciò è utile una descrizione più dettagliata del loro funzionamento. I circuiti dinamici impiegano come principio di memoria la conservazione di una carica elettrica in un condensatore. Ogni condensatore reale  $a$ , anche se costruito con cura, delle perdite, che prima o poi fanno scomparire la carica immagazzinata nel condensatore. A questo scopo i circuiti integrati dinamici devono possedere dei appositi circuiti, che in determinati intervalli di tempo ripristinano le cariche sui condensatori, prima che questi possano scaricarsi completamente. Soltanto in questo modo l'informazione, memorizzata nei condensatori, può essere trattenuta per un tempo illimitato. Il meccanismo viene chiamato refresh. Il massimo intervallo di tempo tra due cicli di refresh ammesso è generalmente 2ms. Le moderne memorie dinamiche da 4kbit e da 16kbit non necessitano di speciali cicli di refresh, basta soltanto effettuare dei cicli di scrittura o di lettura. Per comprendere il meccanismo di refresh delle 4116 è necessario conoscere, almeno in principio, lo schema interno di questa memoria. La 4116 contiene 16 384 condensatori organizzati in una matrice di 128 file (rows) per 128 colonne (columns). Ogni condensatore  $a$  associato un transistor MOS, in funzione di interruttore, che può collegare i condensatori con la linea comune della colonna. Poiché

ci sono 128 colonne, ci sono 128 linee comuni, ognuna per ogni colonna. Ad ogni linea comune è associato anche un amplificatore di refresh. Questo amplificatore può anche scrivere nella memoria (caricare o scaricare il condensatore) oppure leggere lo stato di carica del condensatore. Le memorie 4116 sono organizzate come  $16k \times 1 \text{ bit}$ , per indirizzare i quali sono necessari 14 bit di address. Per diminuire il numero delle connessioni esterne, e di conseguenza le dimensioni ed il prezzo del circuito integrato, le memorie dinamiche moderne hanno i address multiplexati. Le 4116 hanno 7 pin per i address. Seguendo il diagramma temporale in fig. 14., vengono per primi applicati i 7 bit del row address. La transizione a livello logico basso del  $\overline{\text{RAS}}$  (row address strobe) fa memorizzare i bit del row address in un apposito latch interno. I bit del row address devono essere presentati per almeno il tempo  $T_{\text{AH}}$  (generalmente dell'ordine di 50 ns). L'impulso di  $\overline{\text{RAS}}$  fa però anche partire il meccanismo interno di refresh. Ognuno dei 128 amplificatori di refresh "rinfresca" la carica del condensatore selezionato dal row address nella sua colonna. Con un impulso di  $\overline{\text{RAS}}$  vengono perciò rinfrescate 128 celle, e più precisamente quelle appartenenti alla fila (row) selezionata dal row address. Circa 70 ns dopo l'inizio dell'impulso di  $\overline{\text{RAS}}$  possiamo applicare l'impulso di  $\overline{\text{CAS}}$  (column address strobe) e allo stesso tempo presentare sui address pin della 4116

i rimanenti 7 bit dell'address. Dopo un tempo  $T_{acc}$  (200ns circa), a partire dall'inizio di  $\overline{RAS}$ , compare sull'uscita Dout della memoria il dato letto dalla locazione indirizzata dai 14 bit d'address. Il ciclo di lettura dalla memoria però non finisce qui! Per poter effettuare una nuova lettura dalla memoria sia il  $\overline{RAS}$  che il  $\overline{CAS}$  devono ritornare a livello alto e rimanere alti almeno per un determinato tempo ( $T_{RP}, T_{CPN}$ ). Perciò il tempo di ciclo  $T_{cyc}$  (375ns minimo) è maggiore del tempo d'accesso  $T_{acc}$ . Quando il  $\overline{CAS}$  ritorna a livello alto, l'uscita assume di nuovo lo stato d'alta impedenza. Il ciclo di scrittura nella memoria è molto simile al ciclo di lettura descritto. Se l'ingresso  $R/\overline{W}$  viene tenuto basso durante tutto il ciclo, allora i dati devono essere validi allo stesso tempo del column address.

Ogni cella della 4116 richiede il refresh almeno ogni 2ms, e poiché con un ciclo di lettura o scrittura si dà il refresh a 128 celle d'una fila (row), sono necessari 128 cicli ogni 2ms per "rinfrescare" tutte le 16384 celle. Nel circuito presentato il contenuto delle memorie viene letto di continuo. Durante ogni linea TV (64 $\mu$ s) vengono lette tutte le 128 celle di una colonna ed allo stesso tempo vengono rinfrescate tutte le 128 file (rows) della matrice di memoria.

Nel circuito vengono impiegate 6 memorie 4116, che memorizzano 128 linee di 128 elementi ciascuna con 6bit

per elemento d'immagine. (vedi fig. 10.) In fase di lettura i 6 bit vengono letti in parallelo ed inviati al latch 74174, il quale memorizza i dati durante il seguente ciclo di lettura. Il 74174 passa i dati poi al convertitore D/A MC1408 (MC1508). Il MC1408 è un convertitore D/A a 8 bit. Al bit più significativo (D7) vengono inviati gli impulsi di sincronismo TV. Ai seguenti 6 bit vengono inviati i dati dal latch 74174 ed il bit meno significativo (D0) non viene utilizzato. L'uscita analogica del MC1408 è un generatore di corrente; questa corrente è una frazione (determinata dai ingressi digitali) della corrente che scorre nell'ingresso +REF. Un amplificatore operativo interno al MC1408 fa dell'ingresso +REF una massa virtuale se l'entrata -REF è connessa a massa. Questo operazione richiede anche una compensazione esterna (piedino 16-comp.). Il piedino 1-range serve invece per limitare il range delle tensioni d'uscita; con il diodo 1N4148 la tensione su questo piedino è limitata a -0.6V. Il MC1408 non è il D/A più adatto per questa applicazione: è troppo lento. Il suo tempo d'assestamento della corrente d'uscita è sui 100ns (garantiti 300ns) e questo provoca dei trattini verticali leggermente scuri con il contrasto del TV monitor al massimo (vedi fig. 22.). I TV monitor richiedono un segnale video a bassa impedenza (75Ω), perciò è necessario all'uscita l'emitter-follower con il 9148. Il 9148 è un PNP al Si veloce, ma anche un PNP al Si per bassa frequenza dovrebbe andare bene. Il 8723

e invece collegato come invertitore per gli impulsi di blanking, che danno il reset al 74174. Qui è perone necessario un transistor veloce al Si, poiché un considerevole ritardo è già introdotto dal 4023 (fig. 11). Questo ritardo è bene che sia nell'ordine di 300ns, in questo modo a anche l'ultimo elemento d'immagine la stessa larghezza dei elementi precedenti.

Le immagini trasmesse dai satelliti meteorologici in orbite polari con il sistema di ripresa a radiometro non presentano né inizio né fine dell'immagine; in pratica la lunghezza dell'immagine è limitata soltanto dal tempo, nel quale il satellite è ricevibile dalla nostra stazione d'ascolto. Il problema era di scegliere un sistema di scrittura delle linee nella memoria di quadro, che riprodurrebbe sul TV monitor sempre una immagine intera e non un'immagine tagliata in due, cioè parte della vecchia immagine, che è ancora rimasta in memoria, e parte della nuova immagine, che si sta scrivendo in memoria. L'idea mi è venuta osservando il funzionamento dei terminali video alfanumerici dei computer; quando lo schermo è già pieno di testo e si scrive una nuova linea, scompare la linea più in alto e tutte le rimanenti linee del testo si spostano di una linea in su per dare posto alla nuova linea. Il meccanismo viene chiamato scroll e naturalmente è applicabile anche ai scan converters: le nuove linee dell'immagine appaiono (ad esempio)



nel fondo dello schermo del TV monitor spostando in su le linee precedenti che alla fine scompaiono in cima. Per spostare le linee già scritte in memoria in su o in giù sullo schermo non è però necessario trascrivere i dati da alcune locazioni della memoria in altre locazioni, basta giocare sui address in fase di lettura. Il "trucco" è presentato in fig. 12. Il 4024 è il contatore delle linee in fase di scrittura, le sue uscite sono collegate ai preset inputs dei due 4029, che compongono il contatore delle linee in fase di lettura - forniscono i address verticali (VA1÷VA7). Supponiamo, che l'interruttore "direzione spostamento" sia chiuso, e di conseguenza i due 4029 contino indietro. Supponiamo anche, che il 4024 a raggiunto il numero N. Il clock verticale (VC) presetta i due 4029 al numero N. Quando il VC torna a livello basso i due 4029 incominciano a contare: N, N-1, N-2, N-3, ... e così via, ed al TV monitor vengono inviate le linee nello stesso ordine: N, N-1, N-2, N-3, ... e così via fino alla fine del quadro, quando il VC torna alto e dà di nuovo il preset ai due 4029. Prima che una nuova linea venga iscritta nella memoria di quadro, il contatore 4024 riceve un impulso di clock ed il conteggio raggiunge N+1. Poiché l'iscrizione di una nuova linea avviene durante il periodo di ritraccia verticale, quando il VC è alto, i due 4029 sono "forzati" a N+1 e la nuova linea viene iscritta nella locazione N+1. I due 4029 con-

teranno poi:  $N+1, N, N-1, N-2, N-3, \dots$  e così via, ed al TV monitor verranno inviate le linee nello stesso ordine:  $N+1, N, N-1, N-2, N-3, \dots$ . Notate che adesso e in cima la nuova linea  $N+1$ , le linee precedenti sono inviate nello stesso ordine, ma ritardate e perciò spostate in basso sullo schermo.

Un piccolo inconveniente si verifica quando i due 4029 contano avanti: la linea appena scritta si trova in cima, invece di essere al fondo dell'immagine. Tutte le rimanenti linee vengono però spostate nel senso giusto e rappresentate al loro posto giusto. La possibilità d'invertire il senso del spostamento dell'immagine è utile per non riprodurre immagini "capovolte", visto che vogliamo ricevere sia le orbite nord  $\rightarrow$  sud che le orbite sud  $\rightarrow$  nord dei satelliti. Invertendo il senso del spostamento e però necessario invertire anche il senso di scrittura nella memoria buffer di linea (vedi fig. 9, interruttore "scansione sinistra - destra") per non ricevere immagini "allo specchio".

Il formato dell'immagine riprodotta sul TV monitor è stato scelto in modo da "riempire" quasi l'intero schermo. Una linea TV intera dura  $64\mu s$ , la ritraecchia dura  $11\mu s$ , perciò rimangono circa  $53\mu s$  utili. La larghezza dell'immagine riprodotta dipende dal periodo dell'oscillatore composto dai due monostabili del primo 9602 (fig. 11). Regolando il periodo a  $400 ns$ , i 128 elementi d'una linea vengono letti in  $51.2\mu s$ .

Il quadro TV generato dal generatore dei sincronismi a 320 linee. 256 linee sono dedicate al quadro utile, rimangono perciò 64 linee per la ritraccia ed i bordi. La memoria di quadro a soltanto 128 linee, perciò ogni linea viene letta due volte per formare un quadro utile di 256 linee. Il contatore delle linee (in fase di lettura), composto dai due 4029 (vedi fig. 12.), deve perciò ricevere un clock con il periodo di due linee TV, cioè  $128\mu\text{s}$  (2HC). Poiché i schermi dei TV monitor sono rettangolari, anche il formato del quadro utile è stato scelto rettangolare. Nella scelta delle frequenze di sampling e del line clock ho tenuto conto del formato del quadro utile in modo che le foto, trasmesse dai satelliti, siano riprodotte senza distorsioni geometriche.

### Costruzione del scan converter

L'APT scan converter è costruito su due circuiti stampati. Sul primo circuito stampato, a singolo rame, è costruita l'interfaccia APT. (vedi fig. 15. e 17.) Sul secondo circuito stampato, a doppio rame, sono alloggiati i circuiti delle memorie e della generazione del segnale TV. (vedi fig. 16., 18. e 19.) Sul primo circuito stampato ci sono due ponticelli, e più precisamente l'alimentazione  $+V_{DD}$  per il 4051 e l'alimentazione negativa  $-8V$  per i tre 741. Sulla seconda piastrina non ci sono ponticelli, ci sono però molte transizioni dal

lato componenti al lato rame e viceversa. Gran parte di queste transizioni sono eseguite dai piedini dei circuiti integrati saldati da ambedue i lati, però alcune richiedono anche dei pezzi di filo inseriti nei fori e saldati da ambedue le parti. Naturalmente la soluzione migliore sarebbe di metalizzare i fori del circuito stampato a doppia faccia. Nel circuito sono presenti numerosi condensatori di bypass. Purtroppo non è possibile disegnarli nello schema elettrico nella stessa posizione che hanno sullo stampato. Come regola generale, le alimentazioni delle memorie dinamiche vengono bypassate con condensatori ceramici da  $1\mu\text{F}$ , le alimentazioni dei TTL con condensatori da  $100\text{nF}$  ceramici e le alimentazioni dei CMOS con  $10\text{nF}$ . Le memorie dinamiche richiedono 3 tensioni d'alimentazione:  $+12\text{V}$  e  $-5\text{V}$  per tutte le funzioni interne, mentre i  $+5\text{V}$  servono soltanto per lo stadio d'uscita che interfaccia i TTL. Le memorie non sono sensibili all'ordine nel quale vengono applicate le tensioni d'alimentazione, però se le memorie vengono lasciate senza  $V_{\text{BB}} = -5\text{V}$  per un tempo prolungato, si potrebbero anche danneggiare a causa dell'elevato consumo di corrente dalla  $V_{\text{DD}} = +12\text{V}$  e conseguente sovradissipazione. Il consumo di corrente CC dalla  $V_{\text{BB}}$  è dell'ordine di pochi  $\mu\text{A}$ , però in funzionamento scorrono forti correnti capacitive e perciò anche la  $V_{\text{BB}}$  deve essere bene bypassata. La resistenza da  $10\Omega$  in serie all'alimentazione  $V_{\text{DD}}$  delle memorie (fig.10)

serve per proteggere i circuiti TTL nel caso di cortocircuito tra le linee  $V_{DD}$  e  $V_{CC}$ , vicinissime sullo stampato. Quasi tutte le memorie dinamiche da 16 kbit in custodia a 16 pin sono pin-to-pin compatibili, le differenze tra i vari tipi di memorie sono principalmente nella presenza o meno d' un latch all'uscita. Le 4116 non hanno questo latch e l'uscita torna nello stato d'alta impedenza, quando il  $\overline{CAS}$  va a livello alto. Il circuito del scan converter è però progettato in modo che accetta qualsiasi tipo di memoria. I tempi, che ho fornito per la 4116, sono puramente indicativi. Il diagramma di fig. 14. è valido per tutte le memorie (senza latch all'uscita), però i singoli tempi possono variare. Anche memorie dello stesso tipo e stesso produttore vengono però generalmente selezionate per quanto riguarda la velocità. Per il circuito in questione sono necessarie memorie con il tempo di ciclo inferiore o uguale a 375ns. Anche la 2102 deve essere un tipo non troppo lento, deve avere un tempo d'accesso uguale o inferiore a 350ns. Sia la 2102 che le 4116 interfacciano direttamente i TTL, senza la necessità di resistenze di pull-up. Le resistenze di pull-up sono però necessarie per le interfacce TTL  $\rightarrow$  CMOS. Le uscite dei CMOS del tipo B possono pilotare un carico TTL, perciò è consigliabile, che tutti i CMOS che pilotano i TTL siano del tipo B. Le resistenze di pull-up sono poste anche

sulle entrate della seconda piastrina, in modo che possa interfacciare anche circuiti TTL. La resistenza di pull-up da  $1,8k\Omega$  tra i piedini 1 e 16 del 4029 contattatore dei bit sulla seconda piastrina è saldata direttamente sui piedini dell'integrato. Sostituendo tutti i TTL normali con la serie LS si potrebbe dimezzare il consumo dell'apparecchio. I circuiti integrati digitali sono anche dei generatori di disturbi in un vasto spettro di frequenze radio. Perciò è necessario chiudere l'apparecchio in una scatola metallica e bypassare l'alimentazione esterna per non disturbare la ricezione del satellite.

Per il montaggio si possono impiegare anche i circuiti integrati recuperati dalle schede, memorie comprese. Le memorie recuperate dalle schede presentano qualche volta qualche piccolo difetto: qualche cella sbaglia o si dimentica dell'informazione dopo un po' di tempo. Perciò queste memorie non sono più utilizzabili per uso computer, sono però ancora utilizzabili per il scan converter per i bit meno significativi, dove un difetto simile provoca dei puntini appena visibili sul quadro. In ogni caso, anche impiegando integrati nuovi, però consiglio la costruzione soltanto a chi può controllare il funzionamento dell'apparecchio da solo; cioè che comprenda il funzionamento dell'apparecchio, possieda un oscilloscopio da almeno 10MHz e sappia usarlo.

## Conclusioni

Due anni fa avevo costruito il mio primo scan converter per la riproduzione delle foto inviate dai satelliti meteorologici. La memoria di quadro era costruita con ben 72 memorie 2102, che davano una risoluzione di 128 linee per 192 elementi per linea per 8 livelli di grigio (3 bit per elemento d'immagine). L'apparecchio montava in totale oltre 160 circuiti integrati e non avevo il coraggio di descrivere un'apparecchio simile su d'una rivista amatoriale. L'apparato che descrivo in questo articolo è nato dalle esperienze che ho acquisito con il suo predecessore, cercando soprattutto di minimizzarne i difetti. Le questioni principali nella progettazione d'un scan converter sono: quale è la risoluzione geometrica necessaria e quale è il numero dei livelli (tonalita) di grigio (risoluzione radiometrica) necessario per una buona riproduzione. A questi due quesiti poteva rispondere soltanto un'esperimento pratico. La risoluzione geometrica, nonostante era bassa rispetto alla risoluzione originale delle immagini trasmesse, è risultata sufficiente. La scala di 8 livelli di grigio si è però rivelata insufficiente, specialmente per le immagini all'infrarosso. Il scan converter descritto può riprodurre 64 tonalita di grigio, poiché ogni elemento d'immagine è rappresentato da una parola digitale di 6 bit (ogni bit raddop

pia il numero dei livelli di grigio). La scala dei grigi delle immagini riprodotte sul TV monitor con il scan converter descritto è ottima, anche per le foto all'infrarosso, ne sono la prova le immagini riprodotte nelle fig. 21., 22., 23. e 24. Il circuito del scan converter descritto può però funzionare anche con meno di 6 memorie 4116, per la prima prova basta anche una sola 4116 inserita nel zoccolo del bit più significativo.

Ho costruito due prototipi dell'apparecchio descritto ed ambedue funzionano perfettamente (vedi fig. 20.), perciò credo che lo schema è "sicuro". In fase di disegno però si commette quasi sempre, nonostante la cura, qualche errore, specialmente se si tratta di schemi molto complessi. Sarò perciò molto lieto se qualche lettore vorrà segnalarmi eventuali errori. Mi scuso anche se qualche descrizione risulta poco chiara; vista l'ampiezza dell'argomento però non potevo andare in descrizioni più dettagliate.



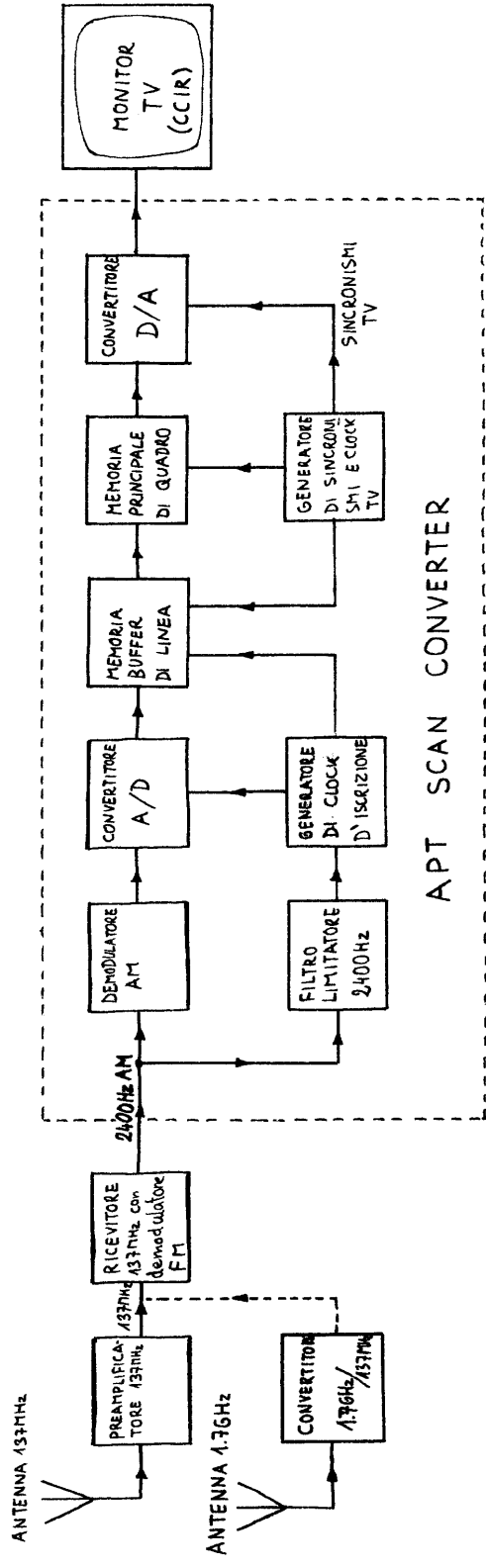


Fig.1.- Schema di principio del APT scan converter

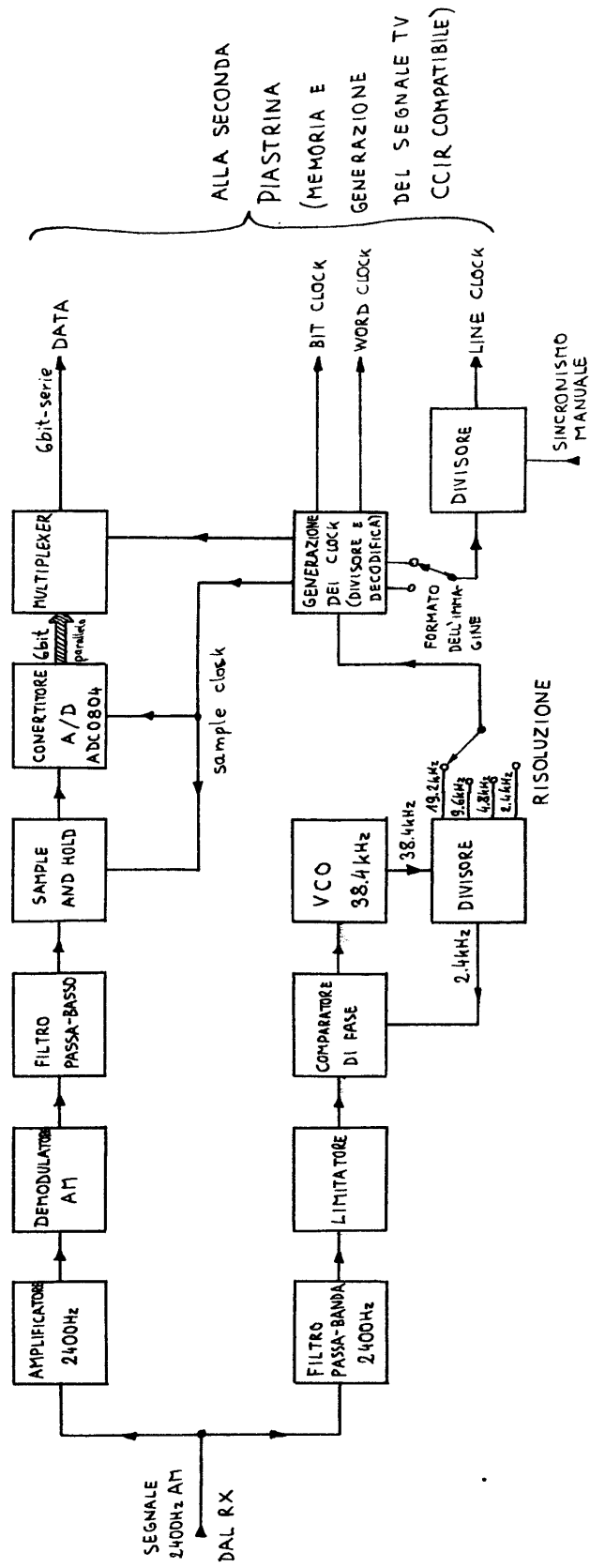


Fig.2.- Schema a blocchi dell'APT scan converter, prima parte - interfaccia APT



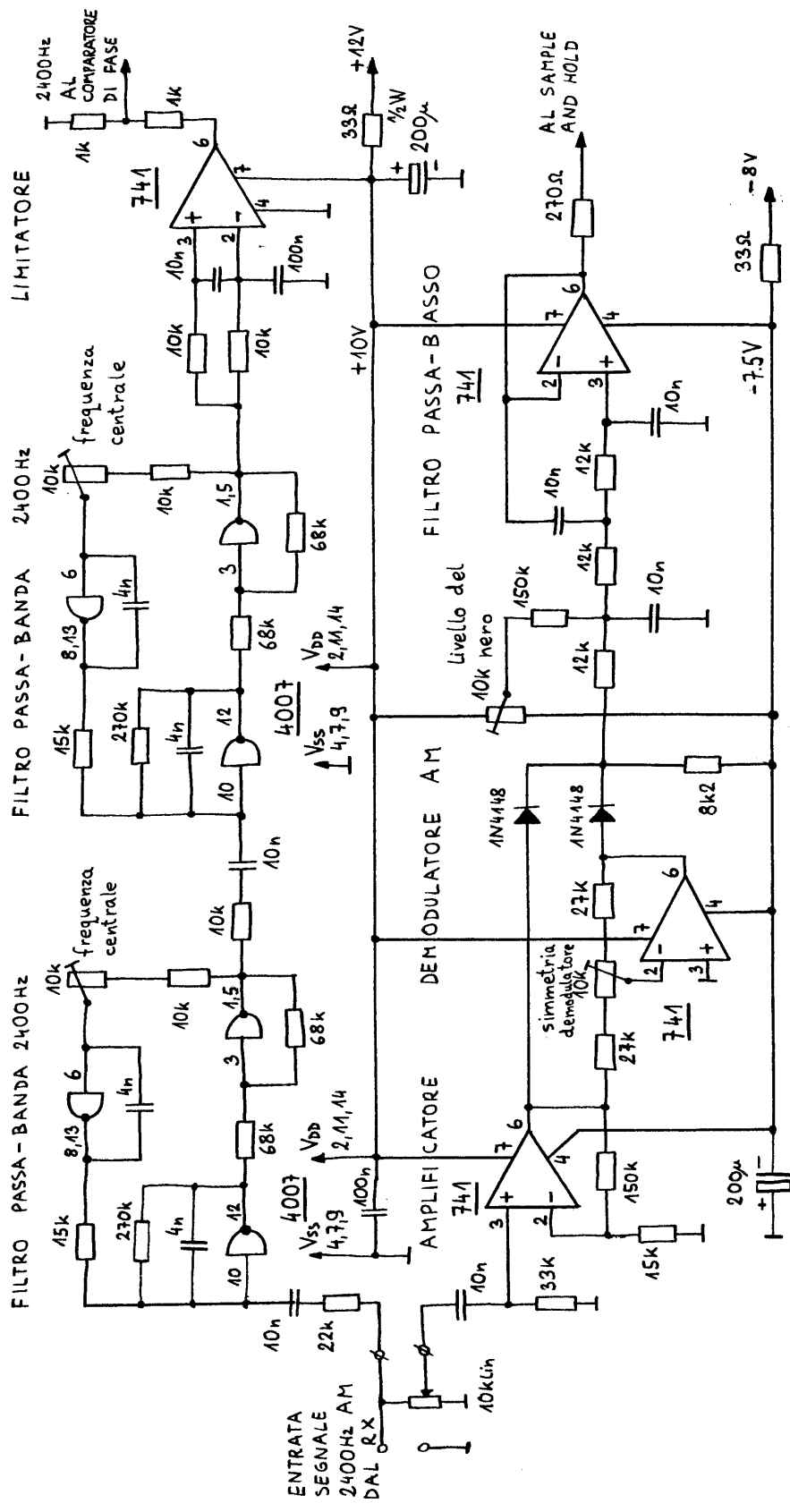


Fig.4.- Amplificatore 2400Hz, demodulatore AM, filtro passa-basso, filtro passa-banda 2400Hz e limitatore (piastrina 1.)

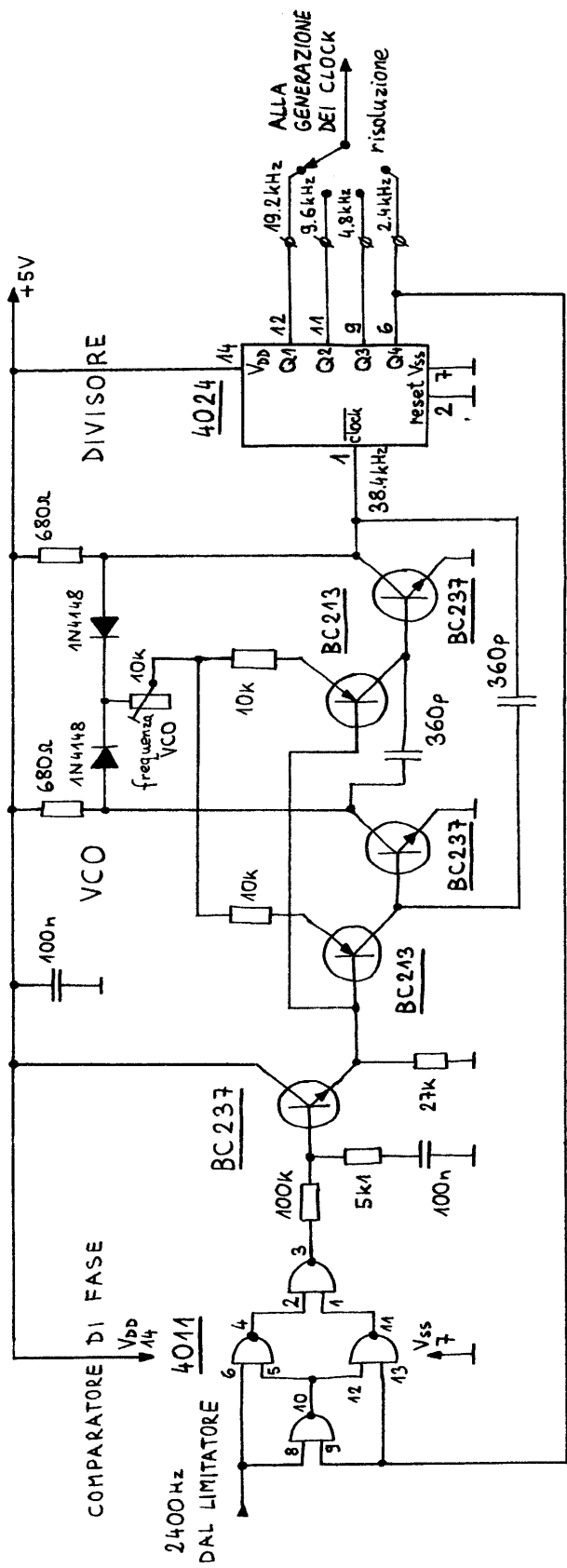


Fig.5.-Comparatore di fase, VCO 38.4kHz e divisore (piastrina 1.)









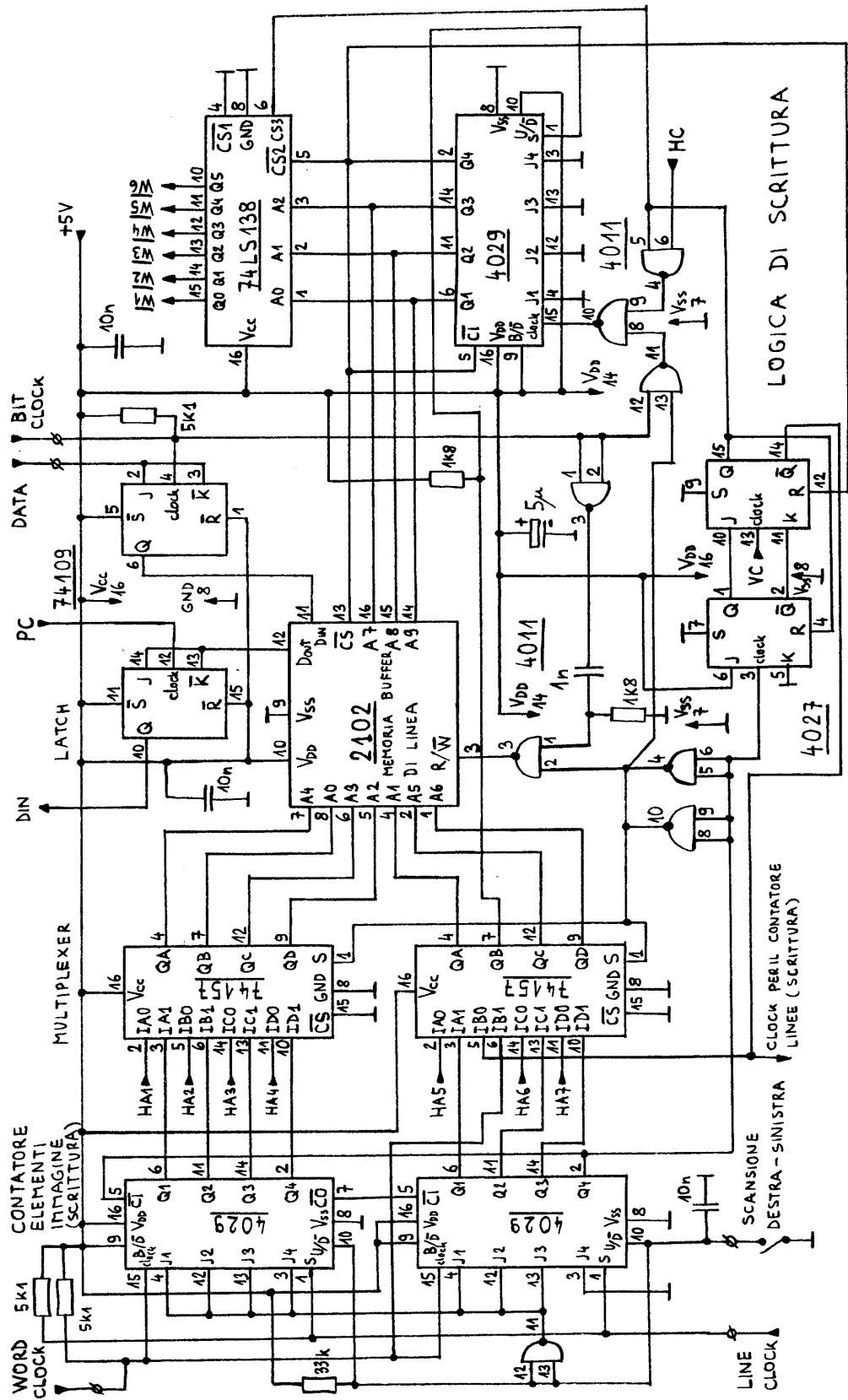


Fig.9.-Logica di scrittura, memoria buffer di linea e contatore elementi immagine (piastrina 2)

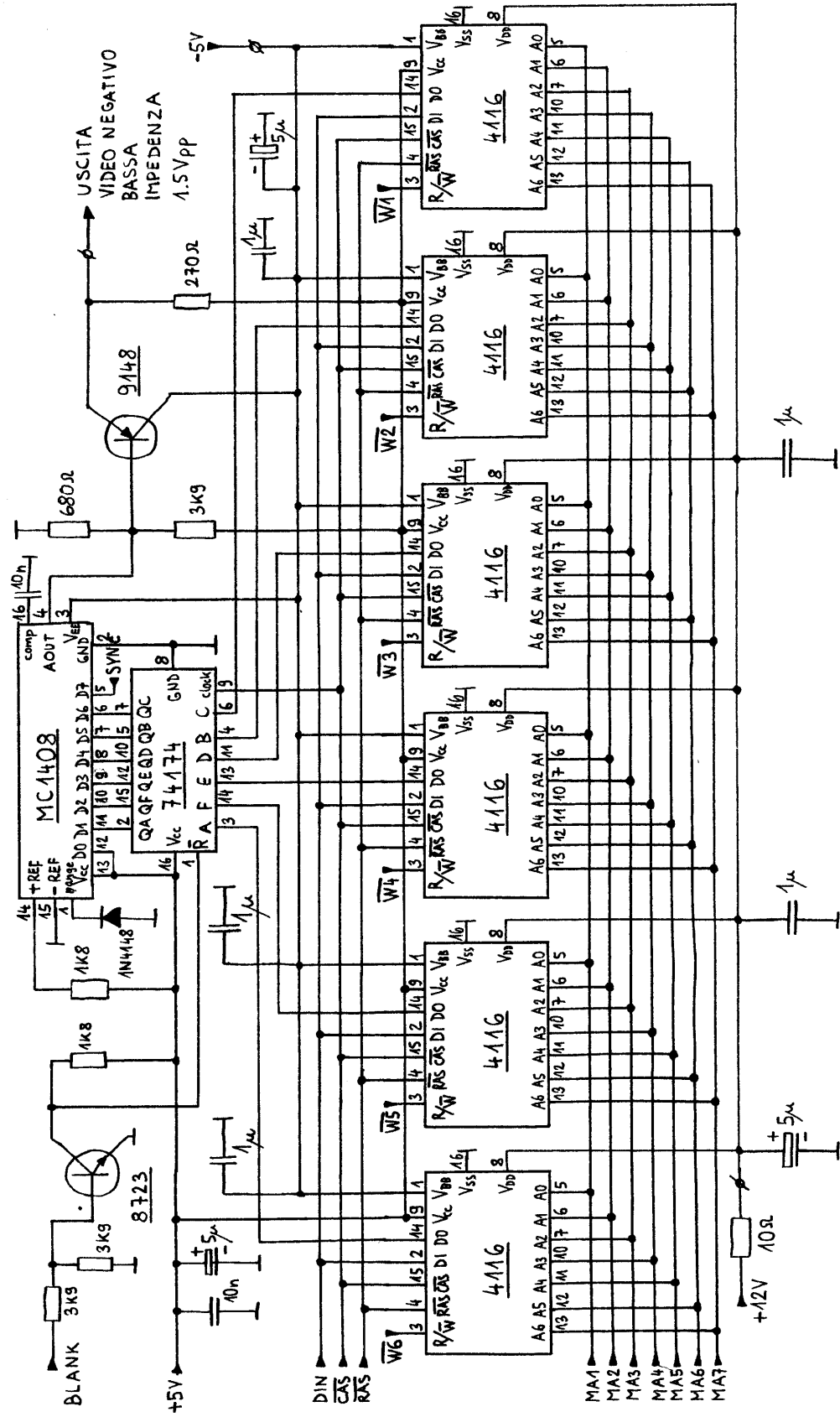


Fig. 10. - Memoria principale di quadro, latch e convertitore D/A (piastrina 2.)

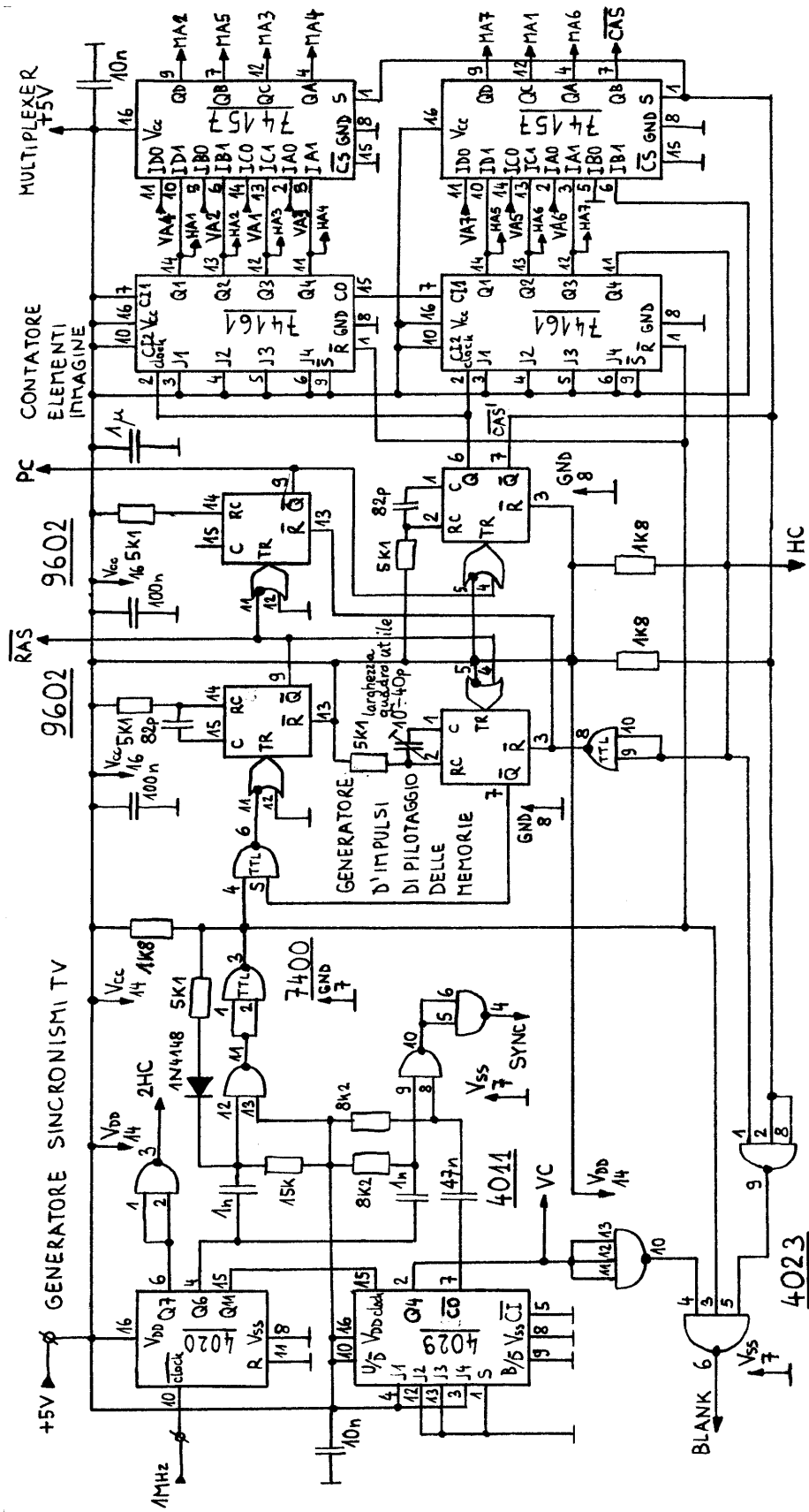


Fig. 11.- Generatori di sincronismi TV, impulsi di pilotaggio delle memorie e contatore dei elementi dell'immagine e multiplexer. (piastrina 2.)

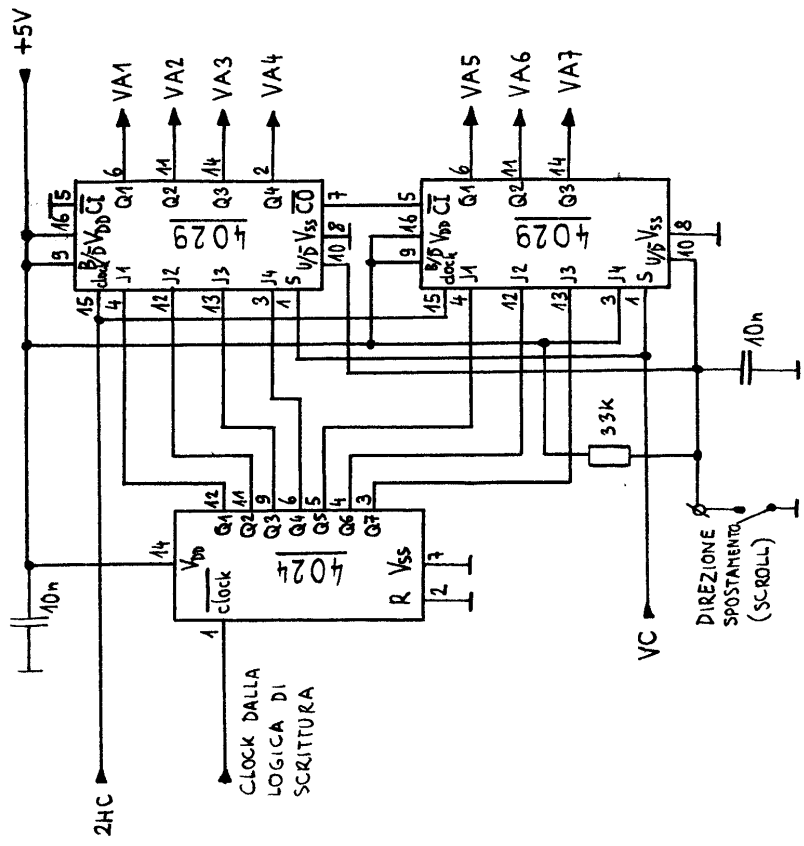


Fig.12.-Contatori linee (piastrina 2.)

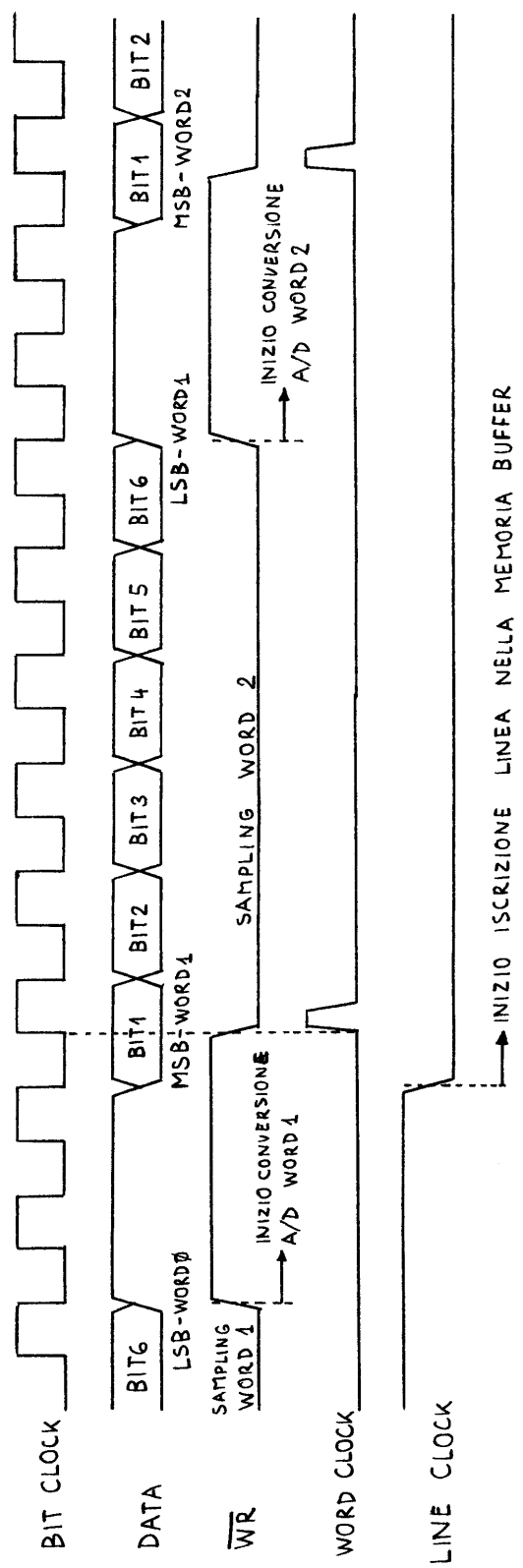


Fig.13-Andamento temporale dei segnali generati dall'interfaccia APT

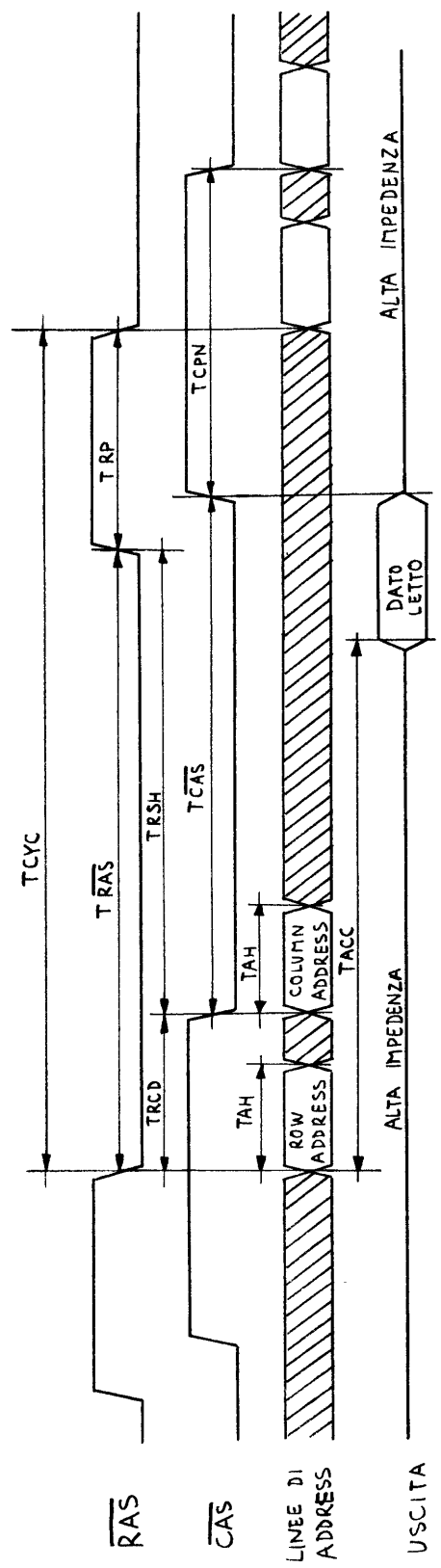


Fig.14.- Ciclo di lettura semplificato di una memoria dinamica 4M16.

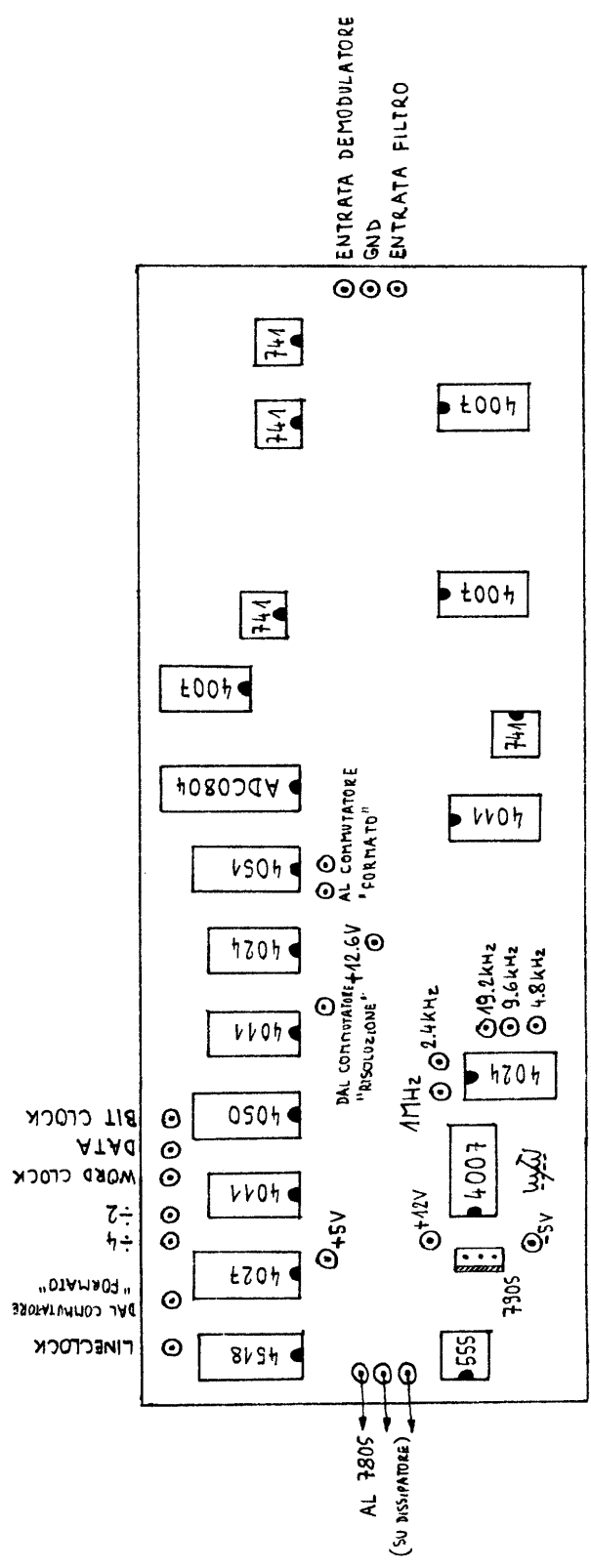


Fig.15.- Disposizione dei componenti principali sulla piastrina 1. (vista da sopra)





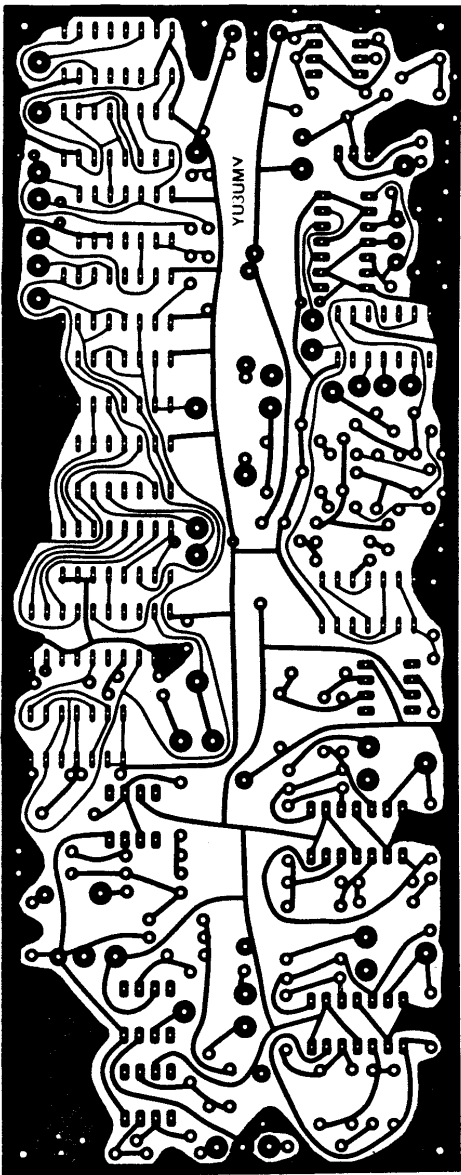


Fig.17. - Piastrina 1. (singolo rame) lato rame.

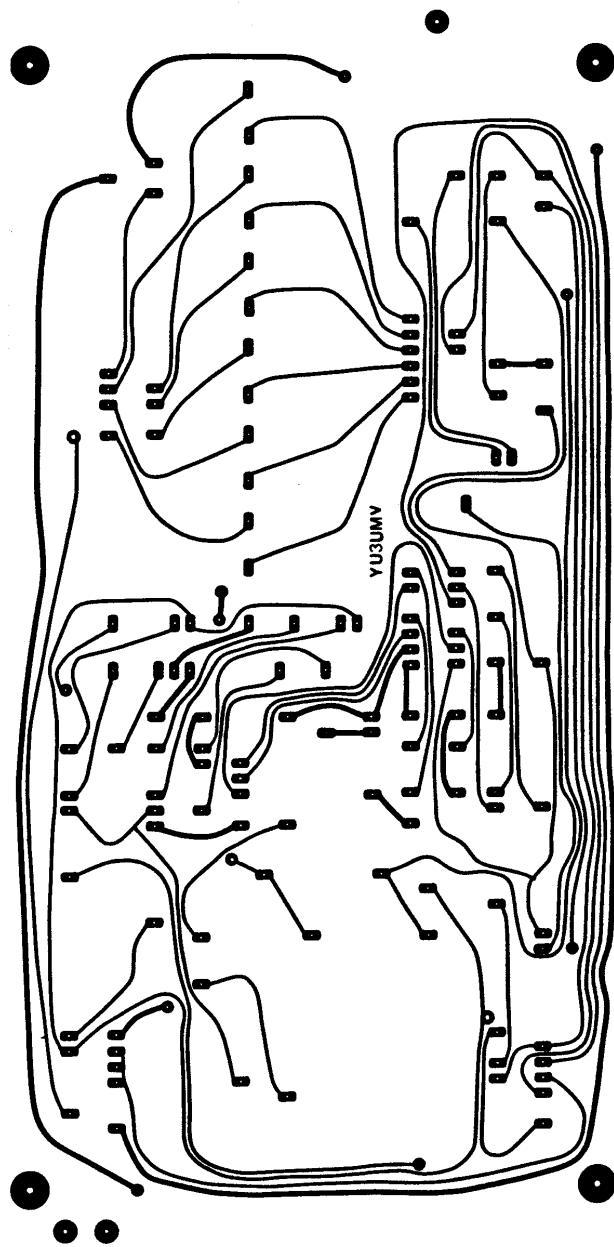


Fig.18.- Piastrina 2. (doppio rame) lato componenti.

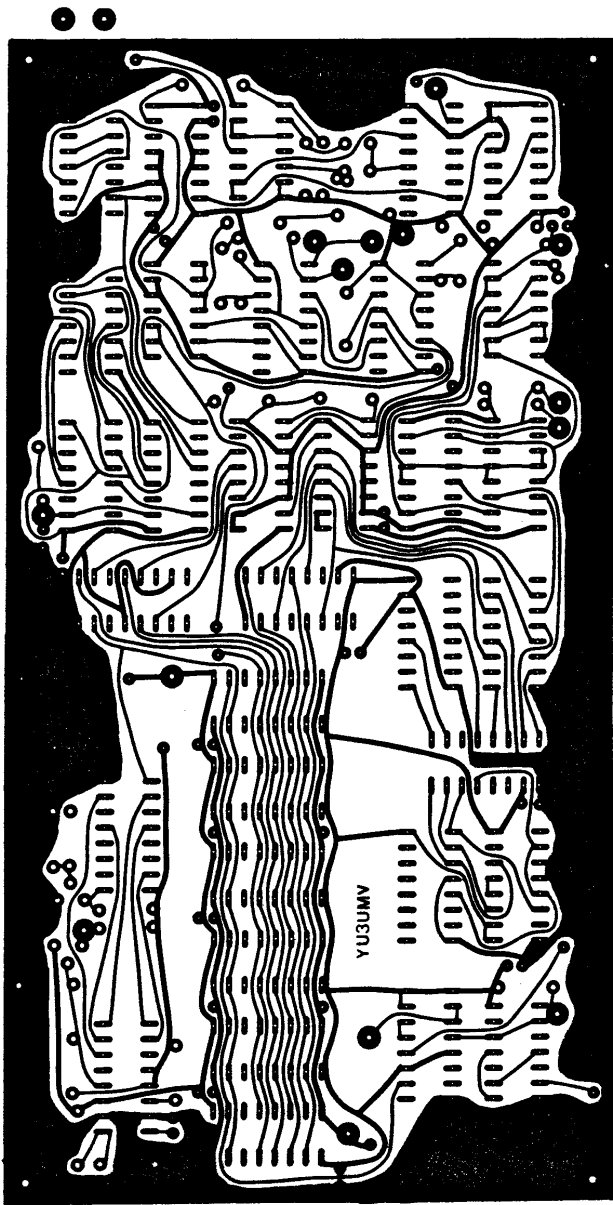


Fig. 19. - Piastrina 2. (doppio rame) lato rame.